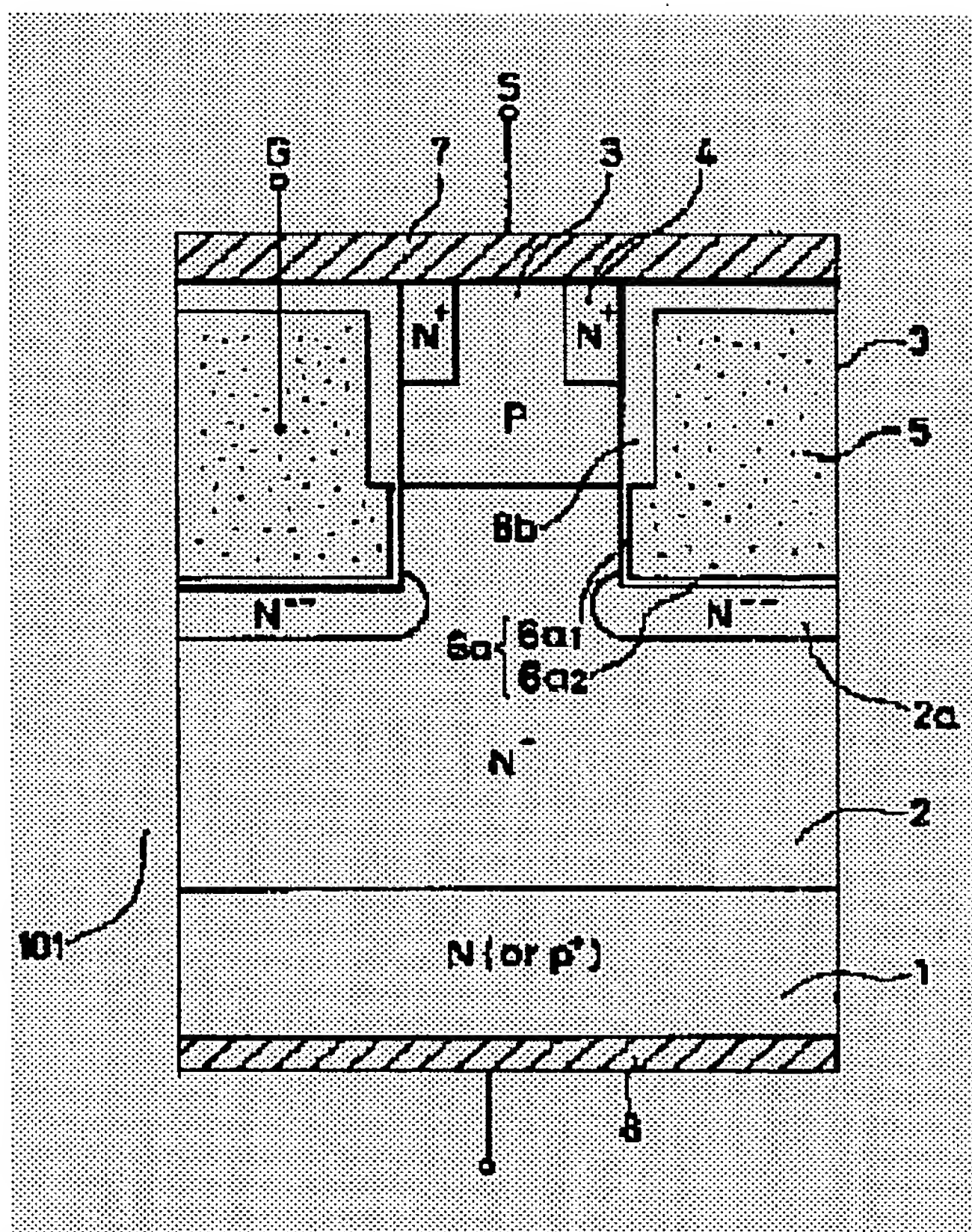


# SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent number: JP6013621  
Publication date: 1994-01-21  
Inventor: AKIYAMA HAJIME  
Applicant: MITSUBISHI ELECTRIC CORP  
Classification:  
- international: H01L29/784; H01L29/74  
- european:  
Application number: JP19920191578 19920624  
Priority number(s):

## Abstract of JP6013621

**PURPOSE:** To improve field concentration at the part of an N $\leftrightarrow$ -type drift layer near a gate electrode in a trench gate type MOS-FET is relieved and improve a breakdown strength.  
**CONSTITUTION:** The thickness of a first gate insulating film 6a provided between a gate electrode 5 and an N $\leftrightarrow$ -type drift layer 2 is made to be smaller than the thickness of a second gate insulating film 6b provided between the gate electrode 5 and the part of a well region 33 in which a channel is formed so as to have the part of the N $\leftrightarrow$ -type drift layer 2 near the gate electrode reversed to a P-type part.



Data supplied from the *esp@cenet* database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号  
特開平6-13621

(43)公開日 平成6年(1994)1月21日

(51)Int.Cl.<sup>5</sup>  
H01L 29/784  
29/74

識別記号  
C  
M

片内整理番号  
9168-4M

FI  
H01L 29/78

技術表示箇所  
321 V

審査請求 未請求 請求項の数9(全16頁)

(21)出願番号 特願平4-191578

(22)出願日 平成4年(1992)6月24日

(71)出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号

(72)発明者 秋山 肇  
兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社エル・エス・アイ研究所内

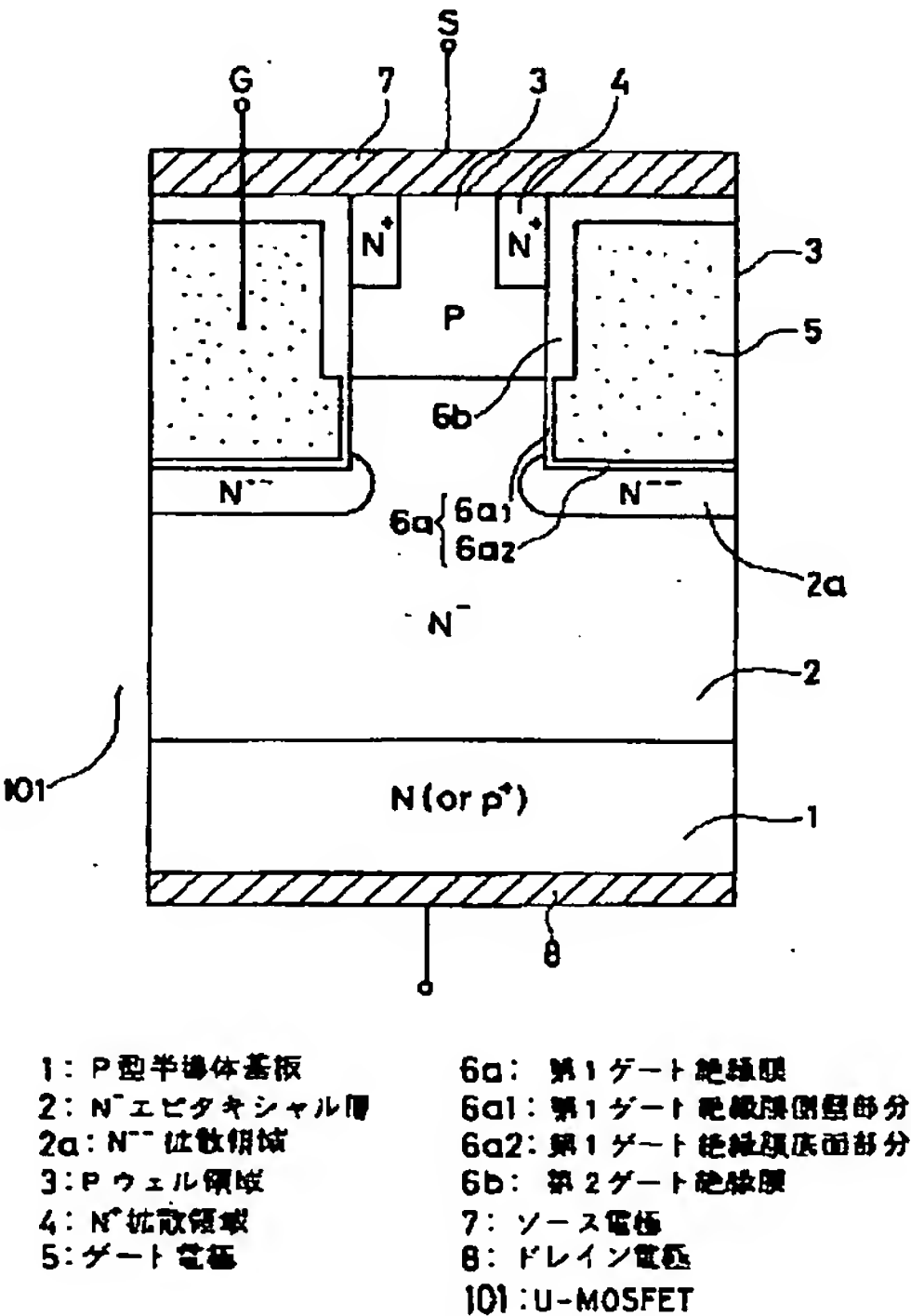
(74)代理人 弁理士 早瀬 憲一

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【目的】 トレンチゲート型MOSFETにおいて、N<sup>-</sup>ドリフト層2のゲート電極5近傍部分での電界集中を緩和して、耐圧を向上する。

【構成】 ゲート電極5とN<sup>-</sup>ドリフト層2との間に介在する第1ゲート絶縁膜6aを、該ゲート電極5とウェル領域3の、チャンネルが形成される部分との間に介在する第2のゲート絶縁膜6bより薄くし、上記ゲート電極5に逆バイアスを印加した時、上記N<sup>-</sup>ドリフト層2の、ゲート電極に近接する部分がP型に反転するようにした。



## 【特許請求の範囲】

【請求項1】 第1導電型の半導体層と、該半導体層の表面上に第1の絶縁膜を介して配設された複数の制御電極と、該制御電極相互間に第2の絶縁膜を介して設けられた第2導電型のウェル領域と、該ウェル領域表面部の周辺部分に形成された第1導電型の半導体領域と、上記半導体層表面側に該第1導電型の半導体領域と電気的につながるよう形成された第1の主電極と、上記半導体層裏面側にこの半導体層と電気的につながるよう形成された第2の主電極とからなる素子構造を有し、上記制御電極に順バイアスを印加した時、上記第2導電型のウェル領域の、制御電極と近接する部分にチャンネルが形成されるよう構成した半導体装置において、

上記第1の絶縁膜は、上記制御電極に逆バイアスを印加した時、上記第1導電型の半導体層における、該絶縁膜を介して制御電極に近接する領域が第2導電型領域に反転するよう、その膜厚を上記第2の絶縁膜の膜厚に比べて薄くしたものであることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、上記制御電極相互間の、第2導電型のウェル領域の下側の領域には、上記第1の絶縁膜の一部を介して上記第1導電型の半導体層の一部が位置しており、

上記半導体層の、上記第1の絶縁膜を介して制御電極底面に近接する部分は、その他の部分に比べて不純物濃度が低くなっており、

上記逆バイアス印加時、上記第1の絶縁膜の表面が全て第2導電型の反転領域で覆われるようになっていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、上記制御電極相互間の、第2導電型のウェル領域下側の領域には、上記第1の絶縁膜の一部を介して上記第1導電型の半導体層の一部が位置しており、

上記半導体層の、上記第1の絶縁膜を介して制御電極の底面及び該底面両端のコーナ部に近接する部分には第2導電型の半導体領域が形成されており、

上記第1の絶縁膜の、制御電極底面と接する部分は、その制御電極側面と接する部分に比べて厚くなっており、上記逆バイアスの印加時、上記半導体層の、第1の絶縁膜に近接する第1導電型領域が第2導電型に反転して、上記第2導電型のウェル領域と上記第2導電型の半導体領域とが上記第2導電型反転領域により短絡されるようになっていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、上記制御電極相互間に位置する第2導電型のウェル領域は、断面台形形状を、上記制御電極の、上記ウェル領域相互間に位置する部分は断面逆台形形状をしており、上記ウェル領域と制御電極との間には上記第2の絶縁膜が介在していることを特徴とする半導体装置。

【請求項5】 請求項1ないし4のいずれかに記載の半導体装置において、

上記第2の絶縁膜は、上記第1の絶縁膜の薄膜化による制御電極の容量増大分が相殺されるようその膜厚を増大し、かつこの膜厚増大によるしきい値電圧の変動が相殺されるよう、上記第2導電型のウェル領域と接する部分にイオンを注入して固定電荷を形成したものであることを特徴とする半導体装置。

【請求項6】 請求項4記載の半導体装置を製造する方法において、

第1導電型の第1半導体層上に第2導電型の第2半導体層を形成し、該第2半導体層内に第1導電型の第3半導体層を選択的に形成する工程と、

上記第1ないし第3半導体層を選択的に除去して、上記第2及び第3半導体層を貫通する断面逆台形形状の第1の溝を形成するとともに、上記断面台形形状の第2導電型のウェル領域及び上記第1導電型の半導体領域を形成する工程と、

上記第1の溝の底面部分を選択的に除去して、上記第1半導体層の表面部分に断面長方形形状の第2の溝を形成する工程と、

上記第1及び第2の溝の内壁面上に絶縁膜を所定の膜厚でもって形成し、その後全面に酸素イオンビームを照射する工程と、

熱処理により、上記第1の溝内壁面上及び第2の溝底面上の絶縁膜を、第2の溝側壁面上の絶縁膜より厚くする工程と、

その後制御電極を上記第1及び第2の溝内に埋め込み、上記ウェル領域上に上記第1導電型の半導体領域と電気的につながるよう第1の主電極を、上記第1半導体層の裏面側にこれと電気的につながるよう第2の主電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】 請求項6記載の半導体装置の製造方法において、

上記制御電極の形成後、主電極を形成する前に、軽イオンをその飛程距離が上記ウェル領域内に収まるよう $10^{10} \sim 10^{13}$ 個/cm<sup>2</sup>の照射量で第1半導体層の第1主面側から照射する工程と、その後低温シンターを300～400°温度で1～5時間行う工程とを追加し、上記絶縁膜の、第1の溝内壁面上及び第2の溝底面上の部分の厚膜化によるしきい値電圧の変動が相殺されるよう、上記絶縁膜の、上記第2導電型のウェル領域と接する部分に固定電荷を形成することを特徴とする半導体装置。

【請求項8】 第1導電型の第1半導体層の第1主面上に第2の導電型の第2半導体層及び第1導電型の第3半導体層を順次形成し、該第3半導体層上に選択的に第2導電型の第4半導体層を、該第4半導体層上に第1導電型の第5半導体層を形成し、該第5半導体層の上部の周辺部分に選択的に第2導電型の第6半導体層を形成してなる半導体層構造を有するとともに、上記第4及び第5の半導体層の両側に絶縁膜を介して形成された制御電極

と、上記第5及び第6の半導体層上に跨がって形成された第1の主電極と、上記第1半導体層の第2主面上に形成された第2の主電極とを備え、上記制御電極に順バイアスを印加した時、上記第5半導体層の、上記絶縁膜近傍部分にチャンネルが形成されるよう構成した半導体装置において、

上記絶縁膜は、上記制御電極に逆バイアスを印加した時、上記第1導電型の第4半導体層の、該絶縁膜近傍部分が第2導電型領域に反転するよう、上記第4半導体層と接する部分の膜厚をその他の部分の膜厚に比べて薄くしたものであることを特徴とする半導体装置。

【請求項9】 請求項8記載の半導体装置において、上記絶縁膜は、その上記第4半導体層と接する部分の薄膜化による制御電極の容量増大分が相殺されるよう、その上記第3、第5及び第6半導体層と接する部分の膜厚を増大し、かつこの膜厚の増大によるしきい値電圧の変動が相殺されるよう、その上記第5半導体層と接する部分にイオンを注入して固定電荷を形成したものであることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は半導体装置及びその製造方法に関し、特にMIS (Metal Insulator Silicon) 構造の制御電極を有し、該制御電極へのバイアス印加によって動作するパワーデバイスにおける、耐圧とスイッチング特性の向上を図るための素子構造及び該素子構造を実現するための製造方法に関するものである。

【0002】

【従来の技術】 このような電圧制御型のパワーデバイスとして、例えば文献「アイイーイーイー トランザクションズ エレクトリカル デバイス (IEEE Transactions Electrical Device), ED-34(11), p.2329, 1987」に示されたNチャンネルU-MOSFETがあり、図13はこのMOSFETセルの断面構造を示している。

【0003】 図において、201はNチャンネルU-MOSFETセル（以下U-MOSFETとも言う。）で、これは半導体層内に形成された略U字型の溝（トレンチ）201a内にゲート電極5が埋め込まれた構造を有している。

【0004】 以下詳述すると、上記U-MOSFET 201のN<sup>+</sup>半導体基板1上にはN-エピタキシャル層2が形成され、これらのN<sup>+</sup>半導体基板1及びN-エピタキシャル層2はドレイン領域として働くようになっており、また上記N-エピタキシャル層2上にはPウェル領域3が形成されている。このPウェル領域3は上記N-エピタキシャル層2の表面にP型半導体層をエピタキシャル成長することによって得られるものである。さらにこのP型半導体層には、これを貫通してその下側のN-エピタキシャル層2の表面に達するU字形トレンチ201aが形成されおり、このトレンチ201a内にはゲ-

ト絶縁膜6を介して、例えば高濃度に不純物がドーブされたポリシリコンが埋め込まれており、このポリシリコンがゲート電極5となっている。

【0005】 また、上記Pウェル領域3の上部の周辺部分にはN<sup>+</sup>ソース領域4が形成されており、上記P型ウェル領域3の、上記N<sup>+</sup>ソース領域4とN-エピタキシャル層（ドレイン領域）2とで挟まれた、上記絶縁膜6に近接する部分3aが、反転層が形成されるべきチャンネル領域となっている。そして上記N-エピタキシャル層2の表面側には、全面に金属のソース電極7が形成されており、該ソース電極7は、上記N<sup>+</sup>ソース領域4及びPウェル領域3とは直に接触して電氣的につながっており、またゲート電極5とはゲート絶縁膜6により絶縁されている。また上記N-エピタキシャル層2の裏面側には、金属のドレイン電極8がN<sup>+</sup>半導体基板（ドレイン領域）1と電氣的につながるように形成されている。また上記各電極5、7、8はそれぞれゲート端子G、ソース端子S、ドレイン端子Dに接続されている。

【0006】 次に動作について説明する。上記ドレイン端子Dが高電位、ソース端子Sが低電位（又はアース電位）となるように両端子間に主電圧を印加する。この状態でゲート端子Gに正のバイアスを印加すると、チャンネル領域3aに反転層が形成され、トランジスタはオン状態となり、電子電流がN<sup>+</sup>ソース領域4からチャンネル層3aを通過してN-エピタキシャル層（ドレイン領域）2に流れる。この状態で、上記ゲート端子Gをアースと短絡させるか、またはゲート端子Gを負にバイアスすることによりチャンネル領域3aの反転層は消滅し、トランジスタはオフ状態となる。

【0007】 このようにチャンネルが縦方向に形成されるU-MOSFET 201ではチャンネルが横方向に形成されるD-MOSFET、つまりチャンネル領域を2重拡散 (Double diffusion) により形成した一般的なMOSFETと比べていくつかの利点があるが、その利点を説明する前にD-MOSFETの構造について簡単に説明する。

【0008】 図18はD-MOSFETの一般的な構造を示しており、図中301はD-MOSFETで、このD-MOSFET 301では、P<sup>+</sup>半導体基板311上のNエピタキシャル層312内に複数のP型半導体領域313が所定の間隔を隔てて形成され、さらに該P型半導体領域313の表面両端部にはN<sup>+</sup>半導体領域314が形成されており、上記P型半導体領域313の表面領域の、上記N<sup>+</sup>半導体領域314とN型エピタキシャル層312との間の部分に横方向にチャンネル313b1が形成されるようになっており。ここで上記P型半導体領域313は二重拡散により形成されており、つまり最初のP型不純物の拡散により第1のウェル領域313aを形成し、次のP型不純物の拡散によりチャンネル領域313b1を含む第2のウェル領域313bを形成すること

により上記P型半導体領域313が形成されている。

【0009】なお315は上記N型エピタキシャル層312上に、隣接するP型半導体領域313のチャネル領域313b1に跨がるようゲート絶縁膜316を介して形成されたゲート電極、317は上記P型半導体領域313上にN<sup>+</sup>領域と電氣的につながりよう形成されたエミッタ電極、318は上記P<sup>+</sup>型半導体基板311の裏面に形成されたコレクタ電極である。

【0010】このような構造のD-MOSFET301と比べて上記U-MOSFET201では、まず、チャネルが縦方向に形成されるため、1つのチャネル領域を形成するための単位構造、つまり1つのゲート電極5とその両側のN<sup>+</sup>ソース領域4を含む1ユニットセルの表面積を小さくでき、セルの高集積化が可能となる。

【0011】また、第2にU-MOSFETでは、D-MOSFETで問題となるウェル領域313相互間で生じるJ-FET効果がその構造上存在せず、このため極めて低いオン抵抗の素子が得られる。

【0012】すなわち、D-MOSFET301の構造では、隣接するウェル領域313が対向して配置されているため、オン電流 $I_{on}$ は図18に示すように左右のウェル領域313からチャネル領域313b1を介してNエピタキシャル層312の、ゲート電極315の中央直下部分312aに集中して流れ込むこととなり、またこのNエピタキシャル層312のゲート電極直下部分312aは、J-FET効果により、つまりその両側のP型ウェル領域313とのPN接合面から延びる空乏層により電流経路 $W_j$ が狭くなっており、この部分312aの抵抗 $R_g$ は大きなものとなっている。この結果MOSFET素子のオン抵抗が大きく増大してしまふ。

【0013】これに対し、U-MOSFET201の構造では、隣接するウェル領域3はトレンチ201aにより分離されており、しかも各ウェル領域3は広いN<sup>-</sup>エピタキシャル層2上に位置しているため、オン電流は図13に示すように各ウェル領域3からその下側の広いN<sup>-</sup>エピタキシャル層2に直接流れ出ることとなり、狭い領域に集中することはない、またP型ウェル領域3とN<sup>-</sup>エピタキシャル層2とのPN接合面から延びる空乏層によりオン電流の経路が狭められることもない。この結果オン抵抗の極めて低いMOSFET素子を実現することができる。

【0014】またパワーデバイスには、上述したU-MOSFETの他に、絶縁ゲート型バイポーラトランジスタ(IGBT)やサイリスタ等の素子がある。

【0015】上記IGBTの構造は、上記U-MOSFETの構造において、そのN<sup>+</sup>半導体基板1をこれに代えてP<sup>+</sup>半導体基板としたもので、その他の構成は上記U-MOSFETと同一である。このIGBTでは、動作電流は上記MOSFETのように電子電流だけではなく、正孔電流も加わることとなり、パワーMOSFET

よりさらに大きな電流を扱うことが可能であるが、スイッチング速度が、動作電流に移動度が電子に比べて遅い正孔の電流成分を含むためMOSFETに比べて遅いという欠点がある。ただし最近ではIGBTでも改良が進み、スイッチング速度もかなり向上している。

【0016】以下さらに従来のサイリスタ素子としてエミッタスイッチドサイリスタ(EST)について説明する。

【0017】図16はEST素子の構造の一例を示しており、図において202はEST素子で、そのP<sup>+</sup>半導体基板10の上主面上にN<sup>-</sup>エピタキシャル層20が形成され、N<sup>-</sup>エピタキシャル層20上にはP拡散領域11aとP<sup>+</sup>拡散領域11bとが隣接して形成されている。またP拡散領域11aの中央付近の上部には、N<sup>+</sup>拡散領域12、P拡散領域13が下から順に形成されており、さらにP拡散領域13の上部の周辺部分には選択的にN<sup>+</sup>拡散領域14が形成されている。ここで上記P<sup>+</sup>半導体基板10、N<sup>-</sup>エピタキシャル層20、P拡散領域11a、P<sup>+</sup>拡散領域11b及びN<sup>+</sup>拡散領域14は、EST素子のサイリスタ部分を構成している。

【0018】一方、上記P拡散領域11aの周辺部の上部にはポリSi等で形成されたゲート電極15が形成されており、ゲート電極15は絶縁膜16によってその周りの半導体領域と絶縁分離されている。即ち、ゲート電極15は絶縁膜16、N<sup>+</sup>拡散領域14、P拡散領域13、N<sup>+</sup>拡散領域12と共に縦型のMOS構造を形成しており、このMOS構造の部分がEST素子のスイッチ部分となっている。

【0019】ここで上記P<sup>+</sup>拡散領域11bと、N<sup>+</sup>拡散領域14及びP拡散領域13とはAl-Si電極17によって短絡され、金属電極18はP<sup>+</sup>基板10の下主面上に形成され、該基板10と電氣的に接続されている。なお16bは上記Al-Si電極17とゲート電極15とを電氣的に分離する絶縁膜である。

【0020】次に動作について説明する。図17は上記サイリスタの動作を説明するための図であり、図16で示すサイリスタの素子構造において流れる電流の経路を示しており、図中、実線H1~H5はホールの流れを、破線E1、E2は電子の流れを示している。なお、ここでは金属電極18をアノード端子Aに、Al-Si電極17をコレクタ端子Cに、ゲート電極15をゲート端子Gにそれぞれ接続し、上記サイリスタを動作させる場合について説明する。

【0021】上記ゲート端子Gの電位がコレクタ端子Cの電位と等しい場合には、アノード端子Aの電位を上昇させていくと、P拡散領域11a及びP<sup>+</sup>拡散領域11bとN<sup>-</sup>エピタキシャル層20とが作るPN接合は逆バイアス状態となり、このPN接合面Jから空乏層が延び、これによってコレクタ端子Cとアノード端子Aの間の耐圧が保持される。この状態では上記サイリスタ20

2はオフしている。

【0022】一方、ゲート端子Gの電位がコレクタ端子Cの電位よりも高くなると、P拡散領域13の、絶縁膜16を介してゲート電極15に近接している部分がN型に反転し、N型のチャンネル13aが形成される。この結果、破線E1に示すように電子がコレクタ端子CからA1-Si電極17、N<sup>+</sup>拡散領域14及び上記チャンネルを通してN<sup>+</sup>拡散領域12へ流れ込む。この時N<sup>+</sup>拡散領域12とP拡散領域11aとの間には順バイアスがかかっているため電子はさらにN<sup>-</sup>エピタキシャル層20へ注入される（破線E2参照）。

【0023】またこの時、P<sup>+</sup>基板10とN<sup>-</sup>エピタキシャル層20との間にも順バイアスがかかっているため、ホールがアノード端子Aから金属電極18及びP<sup>+</sup>基板10を通してN<sup>-</sup>エピタキシャル層20へ注入される。このN<sup>-</sup>エピタキシャル層20へ注入されたホールの一部は実線H4で示すようにさらにP拡散領域11aを通してN<sup>+</sup>拡散領域12に注入され、他の一部はN<sup>-</sup>エピタキシャル層20から直接、あるいはさらにP拡散領域11aを経由して、P<sup>+</sup>拡散領域11bへと向かう（実線H2、H3参照）。

【0024】ここで、N<sup>+</sup>拡散領域12、P拡散領域11a、N<sup>-</sup>エピタキシャル層20及びP<sup>+</sup>基板10によってサイリスタが構成されているので、電流が保持電流 $I_h$ 以上になると、サイリスタ動作が行われる。このサイリスタ動作が行われているとき、P拡散領域11aを通してN<sup>+</sup>拡散領域12に注入されるホール（経路H4）は、ほとんどN<sup>+</sup>拡散領域12内で再結合し、A1-Si電極17へ向かうことはない。即ちP拡散領域13の、チャンネルが形成されていない部分では電子もホールも移動せず、この部分に形成された抵抗R13には電流が流れない。従って、抵抗R13においては電圧降下が生じることもなく、N<sup>+</sup>拡散領域14とP拡散領域13の間に順バイアスがかかることもないので依然として、P拡散領域13中を流れる電流の経路はチャンネルに限定される。

【0025】この結果ラッチアップの発生を招くことなく、つまり上記P拡散領域13を含む寄生サイリスタを動作させることなく、ゲート電極15によってコレクタ端子Cとアノード端子Aの間を流れる電流を制御することができ、最大可制御電流を高めることができる。しかも既述のように、電流の経路はP拡散領域13内では、チャンネル13aに限定されるので、P拡散領域13はその抵抗R13を高める等の改善は不要であり、ON抵抗を増大させてしまうこともない。

【0026】ここで、P拡散領域11bはON状態からOFF状態への移行を速やかにする役割を果たすものである。つまりON状態においてゲート端子Gの電圧、即ちゲート電極15の電圧を低下させると、前述のサイリスタ部分に直列に接続されるチャンネルが消失していき、

サイリスタ動作が停止するが、このとき、P<sup>+</sup>基板10からN<sup>-</sup>エピタキシャル層20に注入されたホールはP拡散領域11aのみならず、P<sup>+</sup>拡散領域11bへも流入して消滅することとなり、上記P<sup>+</sup>拡散領域11bからのホールの引抜きによりサイリスタ素子のターンオフがより早く行われることとなる。

【0027】

【発明が解決しようとする課題】従来のUMOSFET201では、MOSFETセルはトレンチ内にゲート電極を埋め込んだ構造を有し、縦方向にチャンネルが形成されるトレンチセル構造となっているので、セルの高集積化による低オン抵抗化が容易になるという長所がある反面、トレンチセルの形成による耐圧の低下という問題点があり、以下詳述する。

【0028】図14は耐圧低下の原因となる電界集中の様子を説明するための図であり、シミュレーションによってコレクタ電極に62Vの逆バイアスを印加した状態を実現したところ、トレンチの底面コーナ一部、つまりN<sup>-</sup>エピタキシャル層2の、ゲート電極5の下部コーナ部に近接する部分に電界が集中しているのがわかる。この部分の電界強度は $4.8 \times 10^5$  V/cmとバルク領域での電界強度に比べて7～10倍高い値であり、耐圧がこのトレンチの底面コーナ一部によって律速されることになる。

【0029】この耐圧低下に対する改善案として図15に示すように、N<sup>-</sup>エピタキシャル層2内に、埋込み型のゲート電極5の底面及びコーナ一部が覆われるようフローティングP<sup>+</sup>拡散領域9を形成し、上記コーナ一部での電界集中を緩和する方法等も提案されているが、上記P<sup>+</sup>拡散領域9を形成する際、横方向拡散を精密に制御できない等の製造プロセス上の問題があり、上記電界強度の集中を充分緩和することができないという問題点があった。

【0030】また図16、図17に示したサイリスタの素子構造では、高ラッチアップ耐性に効果的である反面、ターンオフ時、再結合によって消滅するホール以外のホールはP<sup>+</sup>領域11bからまとめてカソード端子Cに引き抜かれる比較的長い経路H2、H3を辿ることとなり、ターンオフ時間の短縮は図れないものであるという問題点があった。

【0031】この発明は上記のような問題点を解消するためになされたもので、ゲート電極をトレンチ内に埋め込んだ、縦方向にチャンネルが形成される素子構造において、電界集中を緩和することができ、耐圧の向上を図ることができる半導体装置及びその製造方法を得ることを目的とする。

【0032】またこの発明は、サイリスタの素子構造において、ターンオフ時に正孔電流を引き抜くためのバイパス経路を形成することができ、これによりターンオフ時間の短縮を図ることができる半導体装置及びその製造

方法を得ることを目的とする。

【0033】

【課題を解決するための手段】この発明に係る半導体装置は、第1導電型の半導体層の表面上に第1の絶縁膜を介して形成された複数の制御電極と、該制御電極相互間に第2の絶縁膜を介して設けられた第2導電型のウェル領域と、該ウェル領域の表面部分に上記第2の絶縁膜に接するよう形成された第1導電型の半導体領域とを有し、上記制御電極に順バイアスを印加した時、上記ウェル領域にチャンネルが形成されて、上記半導体層と半導体領域とが導通する素子構造において、上記第1の絶縁膜を、上記制御電極に逆バイアスを印加した時上記半導体層の、該絶縁膜に近接する領域に反転層が形成されるよう、上記第2の絶縁膜に比べて薄くしたものである。

【0034】この発明は上記半導体装置において、上記素子構造を、上記制御電極相互間の、第2導電型のウェル領域下側の領域には、上記第1の絶縁膜の一部を介して上記第1導電型の半導体層の一部が位置し、上記半導体層の、上記制御電極底面に近接する部分では、その他の部分に比べて不純物濃度が低くなっており、上記制御電極に逆バイアスを印加した時、上記第1の絶縁膜の表面が全て第2導電型の反転領域で覆われる素子構造としたものである。

【0035】この発明は上記半導体装置において、上記素子構造を、上記制御電極相互間の、第2導電型のウェル領域下側の領域には、上記第1の絶縁膜の一部を介して上記第1導電型の半導体層の一部が位置し、上記半導体層の、上記制御電極の底面及び該底面両端のコーナ部に近接する部分には第2導電型の半導体領域が形成されており、上記第1の絶縁膜の、制御電極底面と接する部分は、その制御電極側面と接する部分に比べて厚くなっており、上記制御電極に逆バイアスを印加した時、上記半導体層の、第1の絶縁膜に近接する領域に反転層が生じて、上記第2導電型のウェル領域と上記第2導電型の半導体領域とが上記反転層により短絡する素子構造としたものである。

【0036】この発明は上記半導体装置において、上記素子構造を、上記制御電極相互間に位置する第2導電型のウェル領域が断面台形形状をしており、上記制御電極の、上記ウェル領域相互間に位置する部分が断面逆台形形状をしており、上記ウェル領域と制御電極との間に上記第2の絶縁膜が介在している素子構造としたものである。

【0037】この発明は上記半導体装置において、上記第2の絶縁膜の膜厚を、上記第1の絶縁膜の薄膜化による制御電極の容量増大分が相殺されるよう増大し、かつこの膜厚の増大によるしきい値電圧の変動が相殺されるよう、上記第2の絶縁膜の、ウェル領域と接する部分にイオンを注入して固定電荷を形成したものである。

【0038】この発明に係る半導体装置の製造方法は、

第1導電型の第1半導体層上に第2導電型の第2半導体層を形成し、該第2半導体層内に第1導電型の第3半導体層を選択的に形成する工程と、上記第1ないし第3半導体層を選択的に除去して、上記第2及び第3半導体層を貫通する断面逆台形形状の第1の溝を形成するとともに、断面台形形状のウェル領域及び第1導電型の半導体領域を形成する工程と、上記第1の溝の底面部分を選択的に除去して、上記第1半導体層の表面部分に断面長方形形状の第2の溝を形成する工程と、上記第1及び第2の溝の内壁面上に絶縁膜を所定の膜厚でもって形成し、その後全面に酸素イオンビームを照射する工程と、熱処理により、上記第1の溝内壁面上及び第2の溝底面上の絶縁膜の膜厚を、第2の溝側壁面上の絶縁膜の膜厚より厚くする工程と、その後制御電極を上記第1及び第2の溝内に埋め込み、上記ウェル領域上に上記第1導電型の半導体領域と電気的につながるよう第1の主電極を、上記第1半導体層の裏面側にこれと電気的につながるよう第2の主電極を形成する工程とを含むものである。

【0039】この発明は上記半導体装置の製造方法において、上記制御電極の形成後、主電極を形成する前に、軽イオンをその飛程距離が上記ウェル領域内に収まるよう $10^{10} \sim 10^{13}$ 個/cm<sup>2</sup>の照射量で第1半導体層の第1主面側から照射する工程と、その後低温シンターを300～400°温度で1～5時間行う工程とを追加し、上記絶縁膜の、第1の溝内壁面上及び第2の溝底面上の部分の膜厚化によるしきい値電圧の変動が相殺されるよう、上記絶縁膜の、ウェル領域と接する部分に固定電荷を形成するものである。

【0040】この発明に係る半導体装置は、第1導電型の第1半導体層の第1主面上に第2の導電型の第2半導体層及び第1導電型の第3半導体層を順次形成し、該第3半導体層上に選択的に第2導電型の第4半導体層を、該第4半導体層上に第1導電型の第5半導体層を形成し、該第5半導体層の上部の周辺部分に選択的に第2導電型の第6半導体層を形成してなる半導体層構造と、上記第4及び第5の半導体層の両側に絶縁膜を介して形成された制御電極とを有し、上記制御電極に順バイアスを印加した時、上記第5半導体層の、上記絶縁膜近傍部分にチャンネルが形成されて、上記第4半導体層と第6半導体層との間が導通する素子構造において、上記制御電極に逆バイアスを印加した時、上記第2導電型の第4半導体層の、上記絶縁膜近傍の部分に第2導電型の反転層が形成されるよう、上記絶縁膜の、第4半導体層と接する部分をその他の部分より薄くしたものである。

【0041】この発明は上記半導体装置において、上記絶縁膜の、上記第4半導体層と接する部分の薄膜化による制御電極の容量増大分が相殺されるよう、上記絶縁膜の、第3，第5，第6半導体層と接する部分の膜厚を増大し、かつこの膜厚の増大によるしきい値電圧の変動が相殺されるよう、上記絶縁膜の、第5半導体層と接する

部分にイオンを注入して固定電荷を形成したものである。

【0042】

【作用】この発明においては、制御電極と第1導電型の半導体層との間に介在する第1の絶縁膜の膜厚を、制御電極と第2導電型の、チャンネルが形成される領域との間に介在する第2の絶縁膜の膜厚より薄くし、上記制御電極に逆バイアスを印加した時、上記第1導電型の半導体層の、制御電極に近接する部分に第2導電型の反転が形成されるようにしたから、逆バイアス印加時には、上記第1の絶縁膜の、制御電極に接する部分が第2導電型の反転領域で覆われることとなり、これにより高耐圧化を図ることができる。

【0043】またこの発明においては、上記制御電極相互間に位置する第2導電型のウェル領域を断面台形状とし、上記制御電極の、上記ウェル領域相互間に位置する部分を断面逆台形状としたので、上記ウェル領域形成後、制御電極を形成する前に全面に絶縁膜を形成すると、該絶縁膜の上記ウェル領域上の部分が斜めに傾斜して配置されることとなり、基板表面側に表面に対して垂直な方向から酸素イオンを注入し熱処理を行うことにより、上記絶縁膜のウェル領域上の部分を、従来のプロセスフローを大幅に変更することなく簡単に厚膜化することができる。

【0044】この発明においては、上記第2の絶縁膜の膜厚を、上記第1の絶縁膜の薄膜化による制御電極の容量増大分が相殺されるよう増大し、かつこの膜厚の増大によるしきい値電圧の変動が相殺されるよう、上記第2の絶縁膜の、ウェル領域と接する部分にイオンを注入して固定電荷を形成したので、ゲート絶縁膜の膜厚に関してトレードオフの関係にあるしきい値電圧の増大とスイッチング速度の低下とをともに抑えつつ、高耐圧化を図ることができる。

【0045】また、この発明においては、サイリスタ構造を第1～第4半導体層により構成するとともに、上記サイリスタ構造に電流を供給する経路を第5及び第6半導体層により構成し、第4半導体層と制御電極との間に介在する絶縁膜を、チャンネルが形成される第5半導体層と制御電極との間に介在する絶縁膜より薄くし、上記制御電極に逆バイアスを印加した時、上記第1導電型の第4半導体層の、制御電極に近接する部分に第2導電型の反転層が形成されるようにしたので、ターンオフ時には、第3半導体層から第4半導体層の反転層を介して第5半導体層へ到る、ホールを引き抜くためのバイパス経路が形成されることとなり、つまりターンオフ時の電流経路が短縮されることとなり、これにより高速化を図ることができる。

【0046】またこの発明においては、上記第4半導体層と接する絶縁膜の薄膜化による制御電極の容量増大分が相殺されるよう、上記第3、第5、第6半導体層と接

する絶縁膜の厚膜を増大し、かつこの膜厚の増大によるしきい値電圧の変動が相殺されるよう、上記第5半導体層と接する絶縁膜にイオンを注入して固定電荷を形成したので、しきい値電圧の増大を招くことなく上記ターンオフ時間の短縮を図ることができる。

【0047】

【実施例】以下、この発明の実施例を図について説明する。

実施例1. 図1はこの発明の第1の実施例による半導体装置を説明するための図であり、U-MOSFETの断面構造を示している。図において、101は本実施例のU-MOSFETで、このU-MOSFET 101では、N<sup>-</sup>エピタキシャル層2と上記ゲート電極5との間に介在している第1ゲート絶縁膜(第1の絶縁膜)6aを、ウェル領域3とゲート電極5との間に介在している第2ゲート絶縁膜(第2の絶縁膜)6bより薄くするとともに、上記N<sup>-</sup>エピタキシャル層2の、上記ゲート電極5の底面部と近接している部分を特に濃度が低いN<sup>-</sup>領域2aとしている。なお、6a1及び6a2は、それぞれ上記第1ゲート絶縁膜6aの、上記ゲート電極5aの側面と接する側面部、及び上記ゲート電極5aの底面と接する底面部であり、その他の部分は図13に示した従来のU-MOSFET 201と同一構成である。

【0048】次に動作について説明する。上記U-MOSFETのオフ状態において、ゲート電極9を負にバイアスすると、図2に示すようにN<sup>-</sup>エピタキシャル層(MOSFETではN<sup>-</sup>ドリフト層とも言う。)2の、薄いゲート絶縁膜側壁部6a1近傍に位置する領域がP型領域2bに反転し、また上記薄いゲート絶縁膜底面部6a2直下のN<sup>-</sup>領域2aはP型領域2cに反転することとなる。これによりドリフト層2に突出したトレンチ壁、つまり第1のゲート絶縁膜6aは全てP型半導体領域で覆われることになり、ドレイン(またはコレクタ)電極8に逆バイアスが印加された時に発生する空乏層により従来トレンチ壁のコーナー部で発生していた電界集中が緩和される。

【0049】またU-MOSFETのオン状態においてゲート電極5を正にバイアスすると、図3に示すようにウェル領域3の第2ゲート絶縁膜6bに近接する部分にチャンネル3aが生じるとともに、薄いゲート絶縁膜6a1及び6a2の近傍のN<sup>-</sup>ドリフト層2が各々N<sup>+</sup>半導体領域2d、N<sup>-</sup>半導体領域2eに変化し、上記ソース電極7からチャンネル3aを通過してN<sup>-</sup>ドリフト層2に注入された電子が従来のトレンチ型MOSFETと同様にJ-FET効果の影響を受けることなく流れることとなる。

【0050】このように本実施例では、ゲート電極5とN<sup>-</sup>エピタキシャル層2との間に介在する第1ゲート絶縁膜6aを、ゲート電極5とウェル領域3との間に介在する第2ゲート絶縁膜6bより薄くし、上記ゲート電極

5に逆バイアスを印加した時、上記N<sup>-</sup>エピタキシャル層2の、第1ゲート絶縁膜6aに近接する部分に反転層が形成されるようにしたので、逆バイアス印加時には、上記第1ゲート絶縁膜6aがP型半導体領域により覆われることとなり、これにより主電極7、8間に逆バイアスが印加された時に発生する空乏層による電界集中を緩和することができる。

【0051】実施例2. 図4は本発明の第2の実施例による半導体装置を説明するための図であり、U-MOSFETの断面構造を示している。図において、102は本実施例のU-MOSFETで、ここでは上記第1実施例のU-MOSFETの構造において、上記N<sup>-</sup>エピタキシャル層2の、上記ゲート電極5の底面部及びコーナ部に近接する部分にP<sup>+</sup>型フローティング領域9を、該領域9によりゲート電極5aが埋め込まれているトレンチの底面部が覆われるように形成するとともに、第1ゲート絶縁膜6aの底面部6a2を、第1ゲート絶縁膜6aの側面部6a1より厚くし、上記ゲート電極5aに逆バイアスを印加した時、上記N<sup>-</sup>エピタキシャル層2の、第1ゲート絶縁膜6aの側壁部分6a1に近接する部分にP型反転層2bが生じて、上記P型ウェル領域3と上記P<sup>+</sup>型フローティング領域9とが短絡するようにしている。

【0052】次に動作について説明する。上記U-MOSFETのオフ状態において、ゲート電極9を負にバイアスすると、図5に示すように、N<sup>-</sup>ドリフト層2の、薄いゲート絶縁膜側面部6a1近傍の部分2bがN<sup>-</sup>型からP型に反転して、P型ウェル領域3とP型フローティング領域9が上記反転領域2bにより短絡する。これによりドリフト層2に突出したトレンチ壁、つまり第1ゲート絶縁膜6aは全てP型半導体領域で覆われることになり、ドレイン（またはコレクタ）電極8に逆バイアスが印加された時に発生する空乏層により従来トレンチ壁のコーナー部で発生していた電界集中が緩和される。

【0053】またU-MOSFETのオン状態においてゲート電極5を正にバイアスすると、図6に示すようにウェル領域3の第2の絶縁膜6bに近接する部分にチャネル3aが生じるとともに、N<sup>-</sup>ドリフト層2のゲート絶縁膜側壁部分6a1近傍がN<sup>+</sup>半導体領域2dに変化し、上記チャネル3aを通過してきた電子がJFET効果の影響を受けることなくN<sup>-</sup>ドリフト層2に注入することとなる。

【0054】この実施例においても、上記第1実施例と同様、逆バイアス印加時には、上記第1ゲート絶縁膜6aがP型半導体領域により覆われることとなり、これにより主電極7、8間に逆バイアスが印加された時に発生する空乏層による電界集中を緩和することができる効果がある。

【0055】実施例3. 図7は本発明の第3の実施例による半導体装置を説明するための図であり、図におい

て、103は本実施例のU-MOSFETで、ここでは上記第2の実施例のU-MOSFETの構造において、上記ウェル領域3を、断面台形状の領域33とし、上記ゲート電極5に代えて、その上半部分を断面逆台形状としたゲート電極35を用いており、ここでは上記ウェル領域33とゲート電極35との間の上記第2ゲート絶縁膜6bは斜めに傾斜している。なお34は上記断面台形状のウェル領域33上部の周辺部分に形成されたN<sup>+</sup>領域である。

【0056】このような構成の第3の実施例のU-MOSFETにおいても、オン時及びオフ時の動作については上記第2実施例と同様である。

【0057】次に製造方法について説明する。まず、N<sup>+</sup>半導体基板1上にN<sup>-</sup>エピタキシャル層2を形成し、P型半導体層を形成し、さらに該P型半導体層内に選択的にN<sup>+</sup>半導体層を形成した後、該N型及びP型半導体層を貫通して上記エピタキシャル層2に達する、傾斜した側壁を有する断面V字型溝103aを形成する。これにより上記P型ウェル領域33が上記N<sup>-</sup>エピタキシャル層2上に選択的に形成される（図8(a)）。

【0058】次に上記半導体基板表面側にレジスト31を上記N<sup>-</sup>エピタキシャル層2が露出するように形成し（図8(b)）、該レジスト31をマスクとして上記N<sup>-</sup>エピタキシャル層2を異方性エッチングして、垂直な側壁を有するトレンチ（溝）103bを形成する（図8(c)）。

【0059】続いて上記レジスト31を除去した後、V字型溝103aの斜面、トレンチ溝103b表面を含む半導体基板の表面側を酸化して酸化膜36を形成し（図8(d)）、半導体基板の表面側に酸素イオン33を基板10に対して垂直な方向から照射すると、上記酸化膜36の、トレンチ103bの側壁部を除く部分のみに注入される。これにより上記ウェル領域33の表面の水平部分及び傾斜部分にはイオン注入領域37aが、また上記トレンチの底面部にはイオン注入領域37bが形成される（図8(e)）。

【0060】その後、1200～1300℃程度の適当な熱処理を施し、これにより上記酸化膜36の、トレンチ103bの側壁部を除く部分を厚くし、上記第2ゲート酸化膜6b及び第1ゲート酸化膜6aの底面部分6a2を形成する（図8(f)）。

【0061】その後は、図示していないが、上記溝103b及び103a内にゲート電極5を埋め込み、半導体基板の表面側及び裏面側に主電極を形成して、図7に示すU-MOSFET103を形成する。

【0062】このような構成の第3の実施例では、P型ウェル領域33を断面台形状とし、ゲート電極35の上半分を該ウェル領域33の形状に合った断面逆台形状としたので、P型ウェル領域33の形成後全面に絶縁膜36を形成すると、該絶縁膜36の、上記ウェル領域

33側面上の部分が斜めに傾斜して配置されることとなり、その後基板表面側に表面に対して垂直な方向から酸素イオンを注入し、熱処理を施すことにより、上記絶縁膜36の、上記ウェル領域側面上の部分を従来のプロセスフローを大幅に変更することなく簡単に厚膜化することができる。つまり上記第1ゲート絶縁膜6aの底面部分6a2及び第2ゲート絶縁膜6bの厚膜化を簡単に行うことができる。

【0063】実施例4．図9はこの発明の第4の実施例による半導体装置を説明するための図であり、サイリスタ素子の断面構造を示している。図において、104は本実施例のサイリスタ素子で、この素子104では、ゲート絶縁膜46を、そのN<sup>+</sup>拡散領域12と接する部分46bを他の部分46a及び46cに比べて薄くした構造とし、ゲート電極15に逆バイアスを印加した時、上記N<sup>+</sup>拡散領域12の、上記絶縁膜46の薄膜化部分46bと接する部分にP型反転層12aが形成されるようにしている。なおここで46aは上記絶縁膜46のP型拡散領域13と接する部分、46cは上記絶縁膜46の、P型拡散領域11aと接する部分であり、その他の部分は図16に示した従来のサイリスタ素子202と同一構成である。

【0064】次に動作について説明する。オフ時の動作において、この構造特有の効果が認められる。即ち、オン状態においてゲート電極15に負の電圧を印加して電子電流を遮断すると、サイリスタ領域に残っていた電子キャリアはターンオフの初期に正孔キャリアと再結合して消滅する。この時余剰の正孔キャリアはP型拡散領域11aに注入され、P型拡散領域11bを通過して、カソード電極17へ吸収されるが、N型領域12の絶縁膜46b近傍の部分にはP型反転層12aが生じ、P型半導体領域13とP型領域11aが短絡されることとなり、これにより正孔キャリアの一部がこの経路を通過してカソード電極17へ吸収される。この結果全体として電流経路が短縮され、スイッチング時間が短縮される。

【0065】このように本実施例では、トレンチゲート型ESTのゲート絶縁膜の一部を薄膜化し、ゲート電極に逆バイアスを印加した時に上記ゲート絶縁膜の一部に近接する半導体領域に反転層が形成されるようにしたので、ターンオフ時に上記反転層により、正孔電流を引き抜くためのバイパス経路が形成され、ターンオフ時間の短縮を図ることができるという効果がある。

【0066】なお、上記第1～第4の実施例で示したようにトレンチゲート絶縁膜の一部を薄膜化することによって耐圧の向上、ターンオフ時間の短縮等を図ったものを示したが、一方でこのゲート絶縁膜の薄膜化に伴い問題点も発生する。

【0067】すなわち、ゲート絶縁膜の薄膜化に伴ってゲート容量が増大することとなり、このゲート容量の増加によるスイッチング時間の遅れやミラー効果が生ずる

という問題があり、上記ミラー効果により、ターンオフ時に電流の減少変化がスムーズに行われず、電流値が一定レベルを保持し減少しない期間が生じてしまう。

【0068】図10(a)は第1あるいは第2の実施例の構造を用いて、オフ（ターンオフ）時にゲート容量として寄与する成分を説明するための図である。ここで全ゲート容量をCgとすると、

$$1/C_g = 1/C_{ox} + 1/C_s$$

$$= 1/(C_{oxa} + C_{oxb} + C_{oxc}) + 1/C_s$$

で表わされる。ここで、C<sub>s</sub>は空乏層(Depletion layer)中の容量、C<sub>ox</sub>は絶縁膜中の総容量である。

【0069】また、図10(b)はオフ時の電流・電圧波形を示しており、この図において、オフ時間t<sub>f</sub>は次式によって表わされる。

$$t_f = R_g \times C_g \times \ln(I_l / (g_m \cdot V_t) + 1)$$

R<sub>g</sub> : ゲート抵抗(Gate Resistance)

g<sub>m</sub> : 相互コンダクタンス(dI<sub>d</sub>/dV<sub>g</sub>)

I<sub>l</sub> : 負荷電流(Load current)

V<sub>t</sub> : しきい値電圧(Threshold Voltage)

上式から明らかなように、C<sub>g</sub>の増加によってt<sub>f</sub>は直接影響を受けて増加する。従って、第1～第4の実施例では、オフ（ターンオフ）スイッチングに悪影響が及ばないようにするには、C<sub>g</sub>の増加を抑える必要がある。

【0070】実施例5．図11は本発明の第5の実施例による半導体装置を説明するための図であり、図において、105は本実施例のU-MOSFETで、ここでは上記第2の実施例のU-MOSFETの構造において、第1ゲート絶縁膜6aの側壁部分6a1の薄膜化によるゲート容量の増大分が相殺されるよう、第1ゲート絶縁膜の底面部分6a2及び第2ゲート絶縁膜6bの膜厚を増大し、かつこの膜厚増大によるしきい値電圧の変動が相殺されるよう、上記第2ゲート絶縁膜6bの、ウェル領域と接する部分にイオンを注入して固定電荷を形成している。

【0071】つまり、N<sup>-</sup>ドリフト層2に接するトレンチゲート絶縁膜の側壁部6a1を薄膜化すると、この部分での容量成分C<sub>oxb</sub>は増加する。この増加分を相殺すべく、第1ゲート絶縁膜の底面部分6a2及び第2ゲート絶縁膜6bの膜厚を厚くしてこれらの部分での容量成分C<sub>oxc</sub>、C<sub>oxa</sub>を低下させているが、第2ゲート絶縁膜6bの厚膜化によってしきい値電圧が増加してしまう。このためしきい値電圧を最適化するために、例えばプロトン等の軽イオン40を表面側より、飛程を上記第2ゲート絶縁膜のウェル領域と接する部分内に収まるように照射して、同膜中に選択的に正の固定電荷を導入している。なお、このイオン照射はゲート電極5に正の電圧を印加しながら行くと、より少ない照射量で同様の効果が得られ、Pウェル領域3に与える損傷を最低限に抑えることができる。

【0072】なお、上記第1～第3及び第5の実施例で

は、トレンチ型パワーデバイスとして、U-MOSFETを例に挙げて説明したが、これは、上記U-MOSFETの構造において、N<sup>+</sup>半導体基板をP<sup>+</sup>半導体基板に置き換えた素子構造のIGBTでもよく、この場合も上記各実施例と同様の効果が得られる。

【0073】この実施例では、第1ゲート絶縁膜の底面部分6a2及び第2ゲート絶縁膜6bの膜厚を増大したので、第1ゲート絶縁膜6aの側壁部分6a1の薄膜化によるゲート容量の増大分が抑制されることとなり、また上記第2ゲート絶縁膜6bの、ウェル領域と接する部分にイオンを注入して固定電荷を形成したので、上記膜厚増大によるしきい値電圧の変動が抑制されることとなる。これによりしきい値電圧の最適化を図りつつ、上記オフ時間を短縮することができる。

【0074】実施例6．図12は本発明の第6の実施例による半導体装置を説明するための図であり、図において、106は本実施例のESTサイリスタ素子で、これは、上記第4実施例のESTサイリスタにおいて、上記ゲート絶縁膜46の、N型領域12と接する部分46bの薄膜化によるゲート電極の容量増大分が相殺されるよう、上記絶縁膜46の、P型領域11a及びPウェル領域13と接する部分46c、46aの膜厚を増大し、かつこの膜厚増大によるしきい値電圧の変動が相殺されるよう、絶縁膜46のチャネル対応部分46aにイオンを注入して固定電荷を形成したものである。この場合第5の実施例と同様、しきい値電圧の最適化を図りつつ、ターンオフ時間を短縮することができる。

#### 【0075】

【発明の効果】以上のように本発明に係る半導体装置によれば、制御電極と第1導電型の半導体層との間に介在する第1の絶縁膜の膜厚を、制御電極と第2導電型のチャネルが形成される領域との間に介在する第2の絶縁膜の膜厚より薄くし、上記制御電極に逆バイアスを印加した時、上記第1導電型の半導体層の、制御電極に近接する部分に第2導電型の反転領域が形成されるようにしたので、逆バイアス印加時には、上記第1の絶縁膜の、制御電極に接する部分が第2導電型の反転領域で覆われることとなり、これにより高耐圧化を図ることができる効果がある。

【0076】またこの発明によれば上記半導体装置において、上記制御電極相互間に位置する第2導電型のウェル領域を断面台形形状とし、上記制御電極の、上記ウェル領域相互間に位置する部分を上記ウェル領域の形状に合わせて断面逆台形形状としたので、ウェル領域形成後全面に絶縁膜を形成すると、該絶縁膜の、該ウェル領域側面上の部分が斜めに傾斜して配置されることとなり、その後基板表面側に表面に対して垂直な方向から酸素イオンを注入し熱処理を行うことにより、上記絶縁膜の上記ウェル領域側面上部分の厚膜化を、従来のプロセスフローを大幅に変更することなく簡単に行うことができる

効果がある。

【0077】さらにこの発明によれば上記半導体装置において、上記第2の絶縁膜の膜厚を、上記第1の絶縁膜の薄膜化による制御電極の容量増大分が相殺されるよう増大し、かつこの膜厚増大によるしきい値電圧の変動が相殺されるよう、上記第2の絶縁膜の、ウェル領域と接する部分にイオンを注入して固定電荷を形成したので、ゲート絶縁膜に関してトレードオフの関係にある、しきい値電圧の増大とスイッチング速度の低下とをとともに抑えつつ高耐圧化を図ることができる効果がある。

【0078】また、この発明に係る半導体装置によれば、サイリスタ構造を第1～第4半導体層により構成するとともに、上記サイリスタ構造に電流を供給する経路を第5及び第6半導体層により構成し、第4半導体層と制御電極との間に介在する絶縁膜を、チャネルが形成される第5半導体層と制御電極との間に介在する絶縁膜より薄くし、上記制御電極に逆バイアスを印加した時、上記第1導電型の第4半導体層の、制御電極に近接する部分に第2導電型の反転層が形成されるようにしたので、ターンオフ時には第3半導体層から第4半導体層の反転層を介して第5半導体層へ到る電流引抜き経路が形成されることとなり、つまりターンオフ時の電流経路が短縮されることとなり、これにより高速化を図ることができる効果がある。

【0079】また、この発明によれば上記半導体装置において、上記第4半導体層と接する絶縁膜の薄膜化による制御電極の容量増大分が相殺されるよう、上記第3，第5，第6半導体層と接する絶縁膜の膜厚を増大し、かつこの膜厚の増大によるしきい値電圧の変動が相殺されるよう、上記第5半導体層と接する絶縁膜にイオンを注入して固定電荷を形成したので、しきい値電圧の増大を招くことなく上記ターンオフ時間の短縮を図ることができる効果がある。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例による半導体装置としてU-MOSFETを示す断面図である。

【図2】上記U-MOSFETのオフ状態においてゲート電極を負にバイアスした時の様子を示す断面図である。

【図3】上記U-MOSFETのオン状態においてゲート電極を正にバイアスした時の様子を示す断面図である。

【図4】本発明の第2の実施例による半導体装置としてU-MOSFETを示す断面図である。

【図5】上記U-MOSFETのオフ状態においてゲート電極を負にバイアスした時の様子を示す断面図である。

【図6】上記U-MOSFETのオン状態においてゲート電極を正にバイアスした時の様子を示す断面図である。

【図7】本発明の第3の実施例による半導体装置としてU-MOSFETを示す断面図である。

【図8】上記第3実施例装置の製造フローを示す断面図である。

【図9】本発明の第4の実施例による半導体装置としてサイリスタを示す断面図である。

【図10】ゲート容量及びターンオフ時の電流-電圧特性を示す図である。

【図11】本発明の第5の実施例による半導体装置としてU-MOSFETを示す断面図である。

【図12】本発明の第6の実施例による半導体装置としてサイリスタを示す断面図である。

【図13】従来のパワーデバイスとしてU-MOSFETの構造を示す図である。

【図14】上記MOSFETの構造におけるシュミレーションによる電界集中の様子を示す図である。

【図15】上記U-MOSFETにおける耐圧低下に対する対策を説明するための図である。

【図16】従来のサイリスタの構造の一例を示す断面図である。

【図17】上記サイリスタの動作を説明するための断面図である。

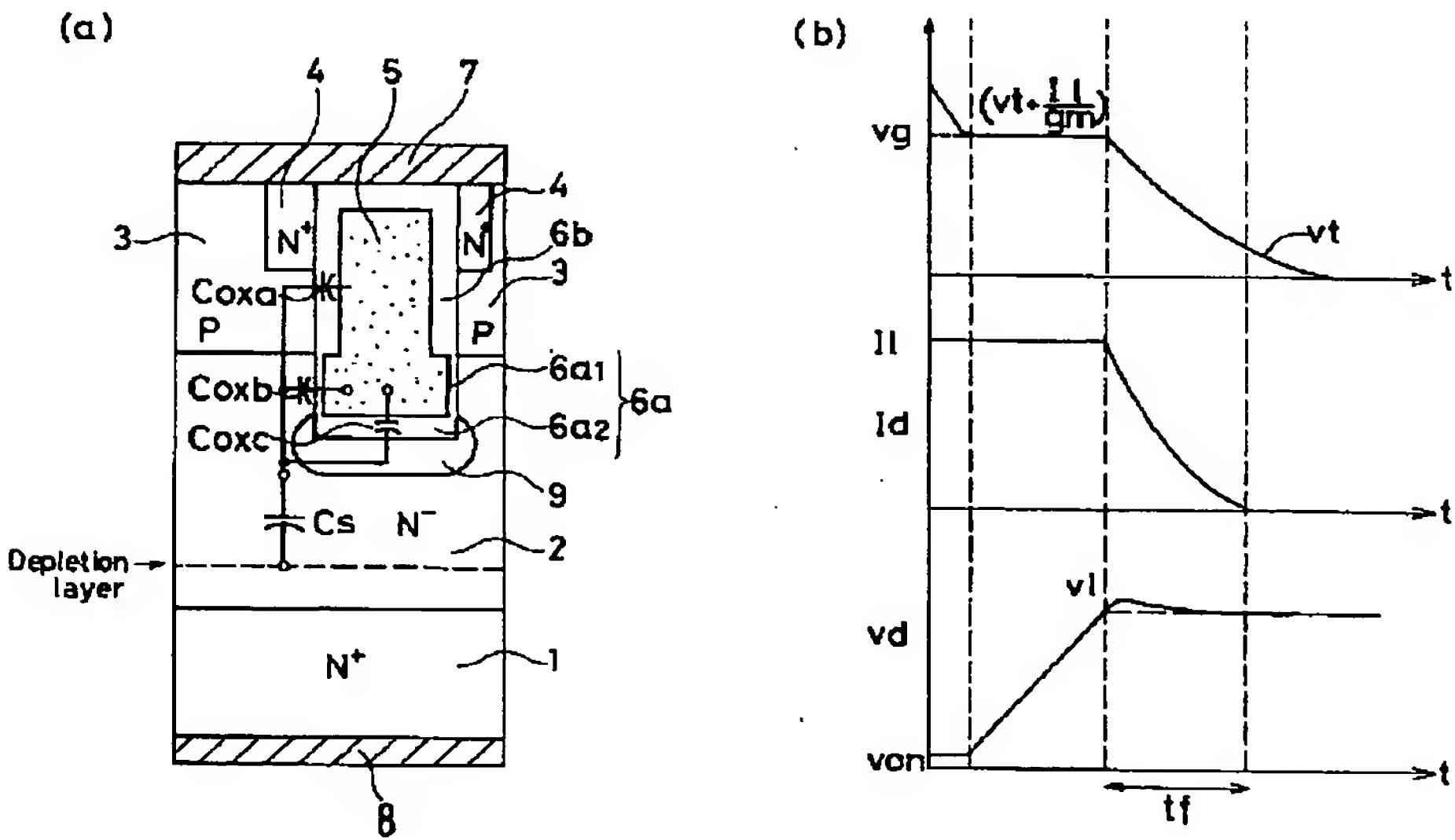
【図18】従来のパワーデバイスとしてD-MOSFETの構造を示す断面図である。

【符号の説明】

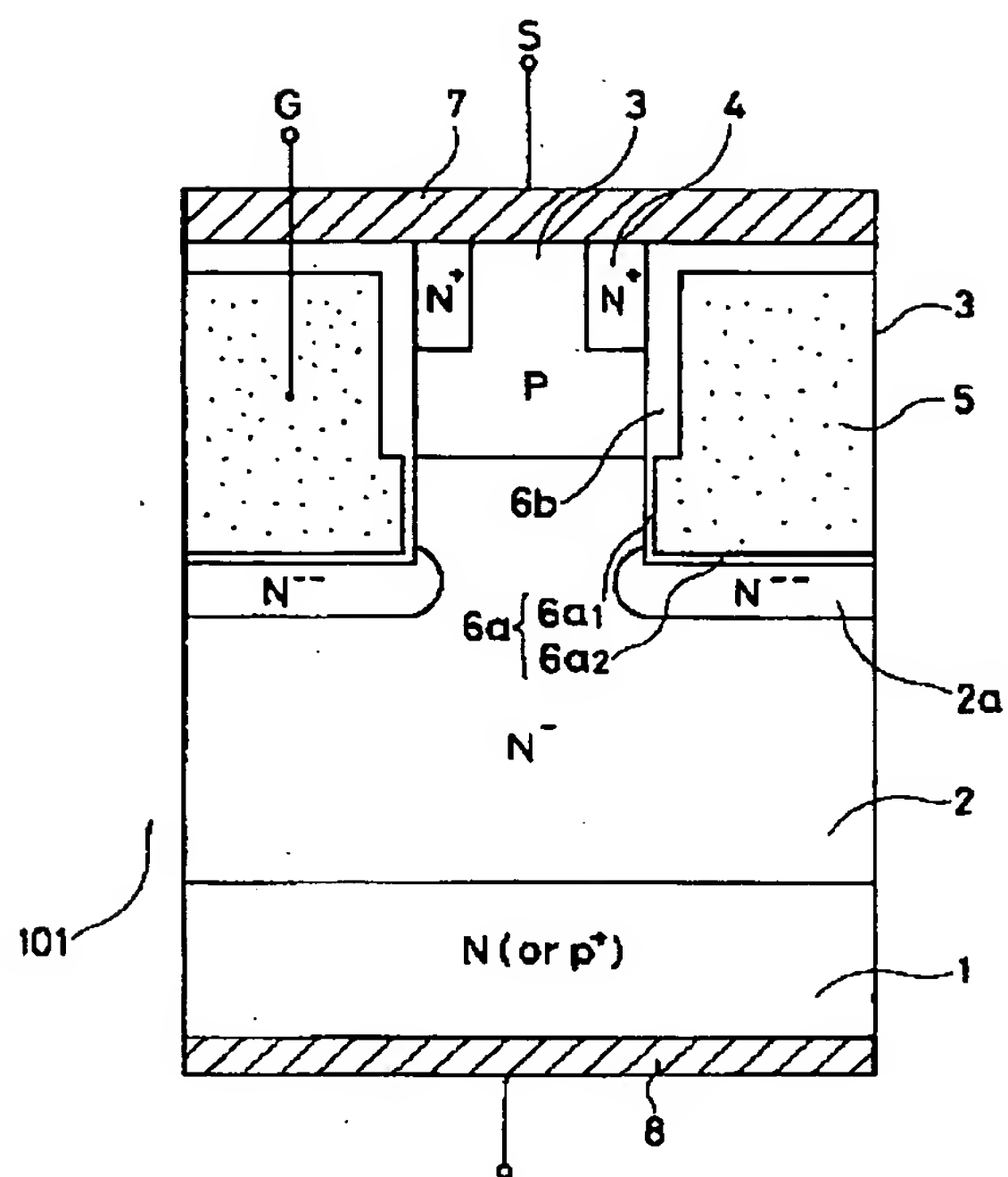
- 1, 10 P型半導体基板  
2, 20 N-エピタキシャル層

- 2a N-拡散領域  
3 Pウェル領域  
4 N+拡散領域  
5, 15 ゲート電極  
6a 第1ゲート絶縁膜  
6a1 第1ゲート絶縁膜側面部  
6a2 第1ゲート絶縁膜底面部  
6b 第2ゲート絶縁膜  
7 ソース電極  
8 ドレイン電極  
9 P+フローティング領域  
11a, 13 P型半導体領域  
11b P+型半導体領域  
12, 14 N+型半導体領域  
12a チャンネル領域  
16a 絶縁膜  
17 コレクタ電極  
18 アノード電極  
46 ゲート絶縁膜  
46a ゲート絶縁膜厚膜部分  
46b ゲート絶縁膜薄膜部  
46c ゲート絶縁膜底面部  
101~103, 105 第1~第3及び第5の実施例によるU-MOSFET素子  
104, 106 第4及び第6の実施例によるEST素子

【図10】

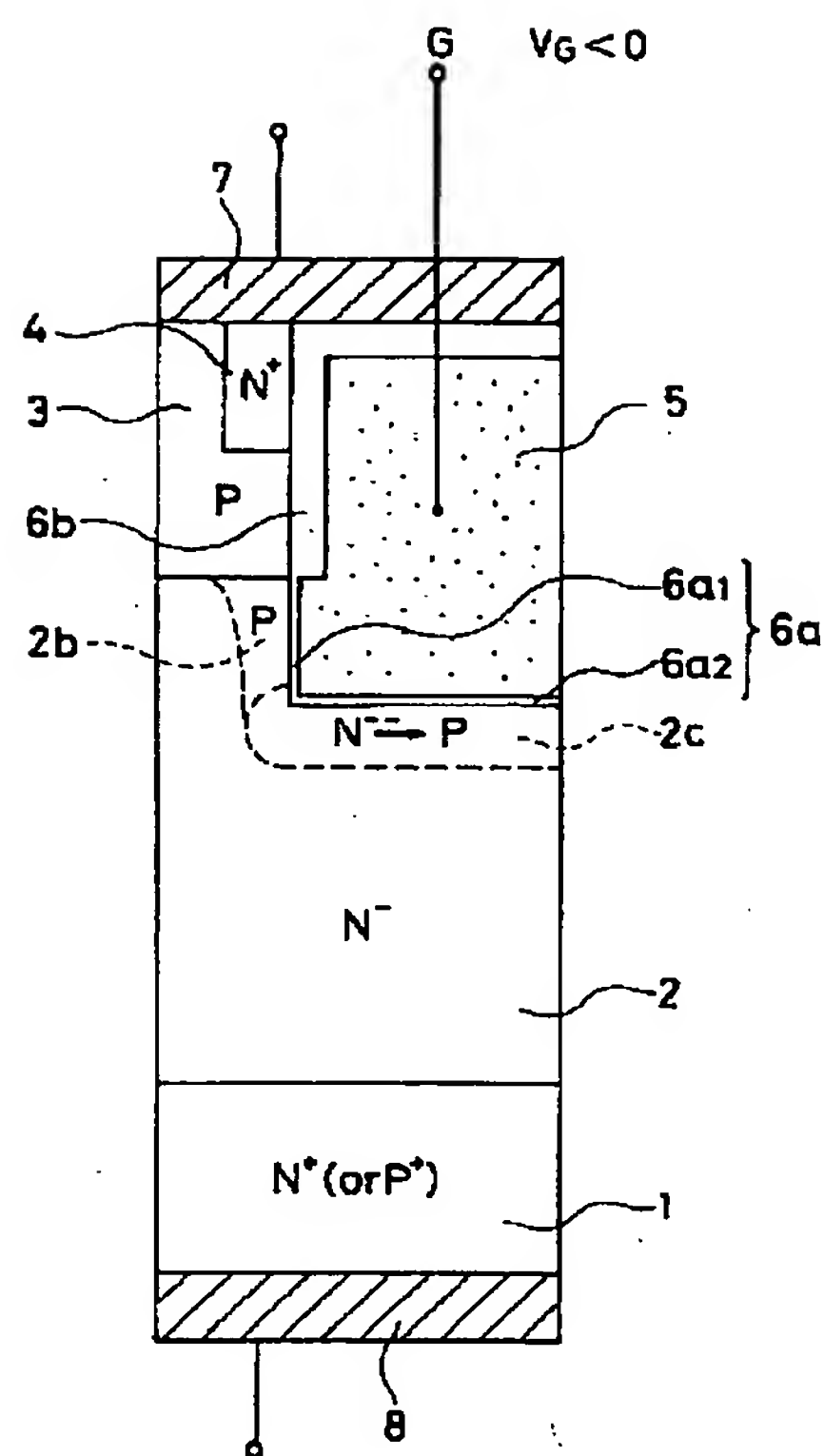


【図1】

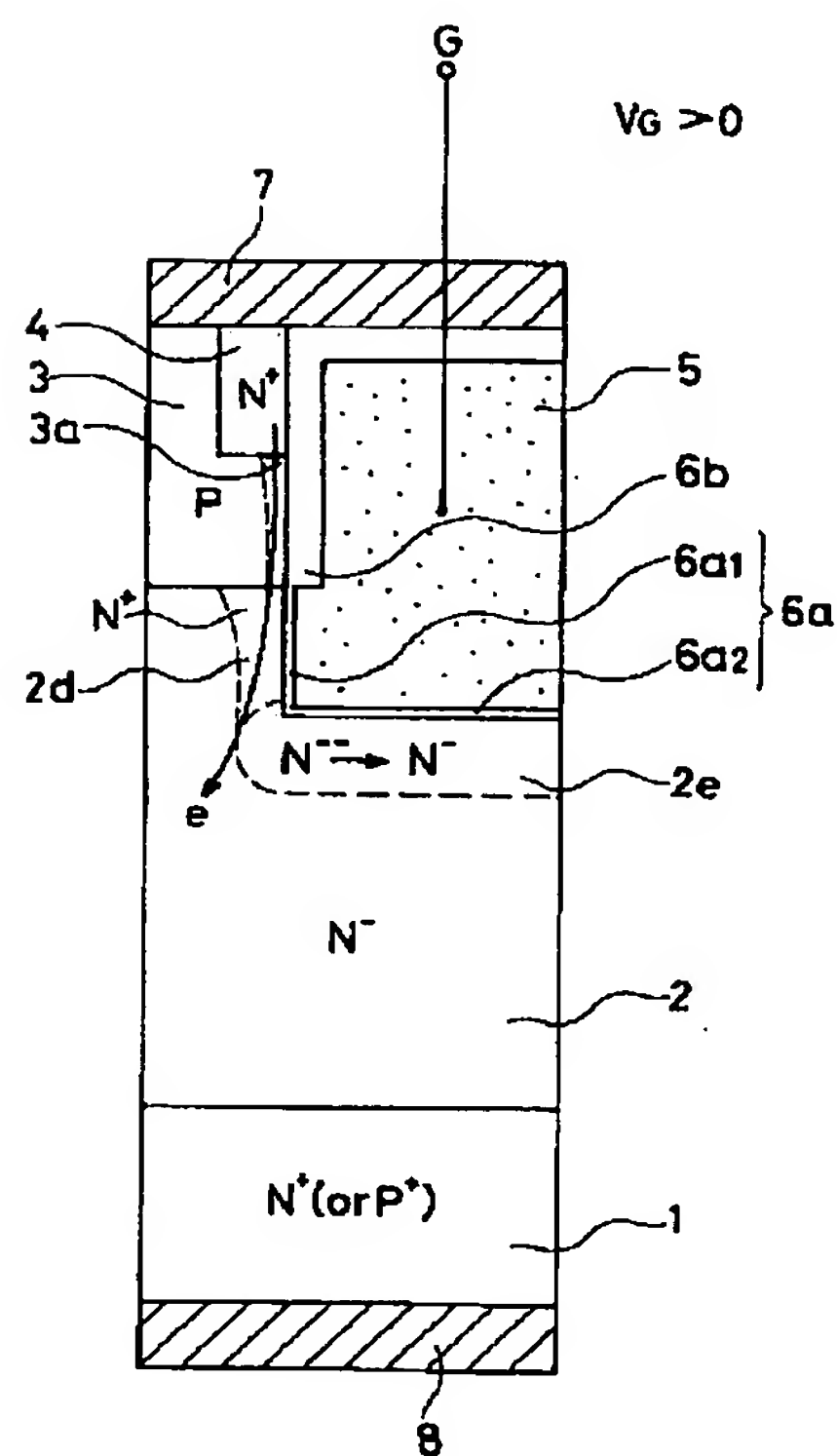


- 1: P型半導体基板  
2: N<sup>-</sup>エピタキシャル層  
2a: N<sup>-</sup>拡散領域  
3: Pウェル領域  
4: N<sup>+</sup>拡散領域  
5: ゲート電極  
6a: 第1ゲート絶縁膜  
6a1: 第1ゲート絶縁膜側壁部分  
6a2: 第1ゲート絶縁膜底面部分  
6b: 第2ゲート絶縁膜  
7: ソース電極  
8: ドレイン電極  
101: U-MOSFET

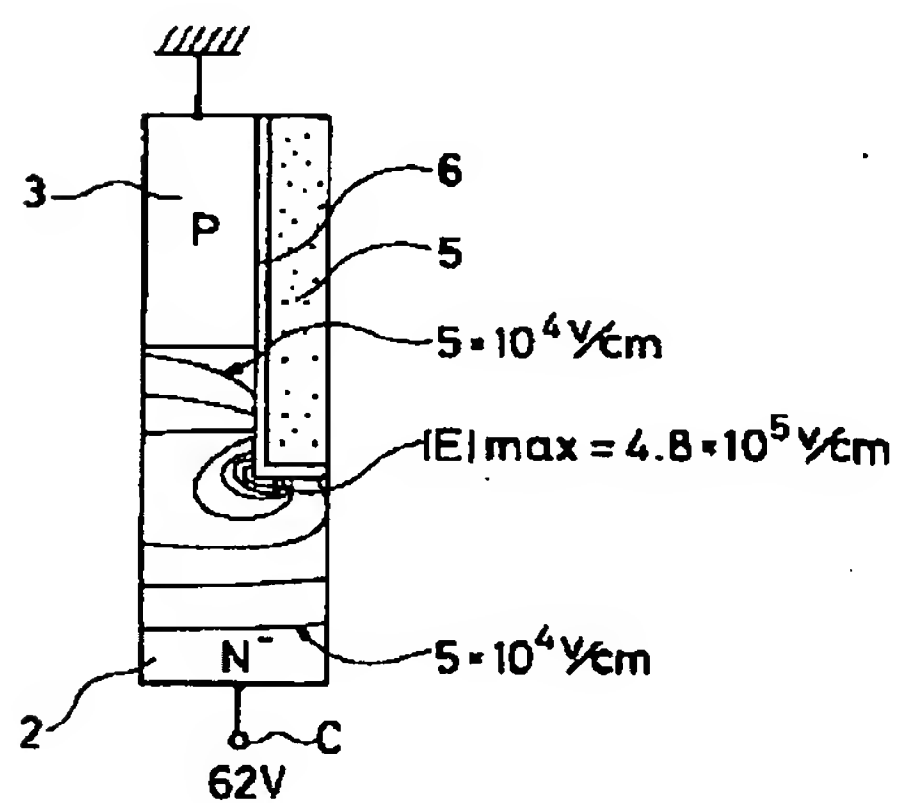
【図2】



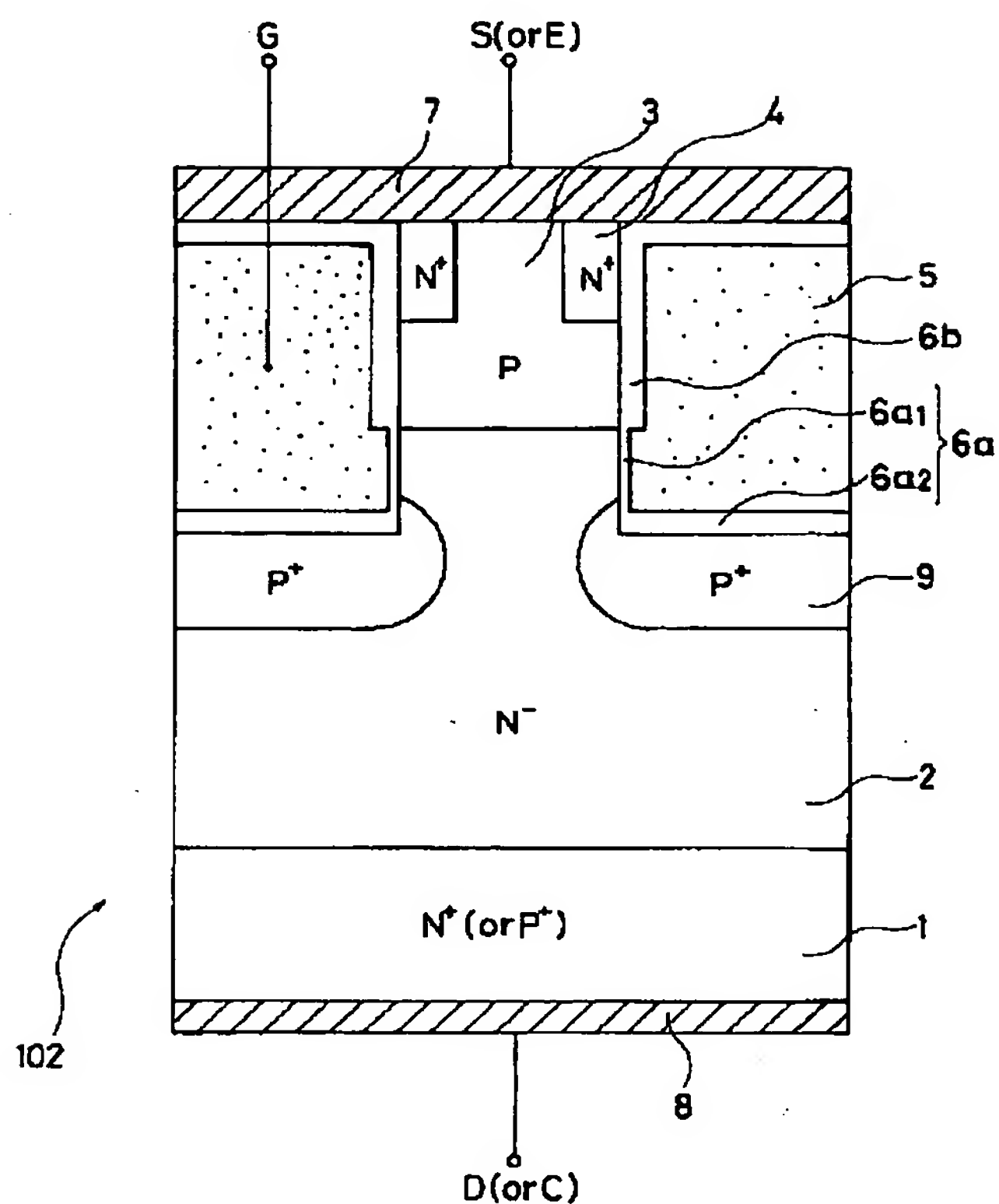
【図3】



【図14】

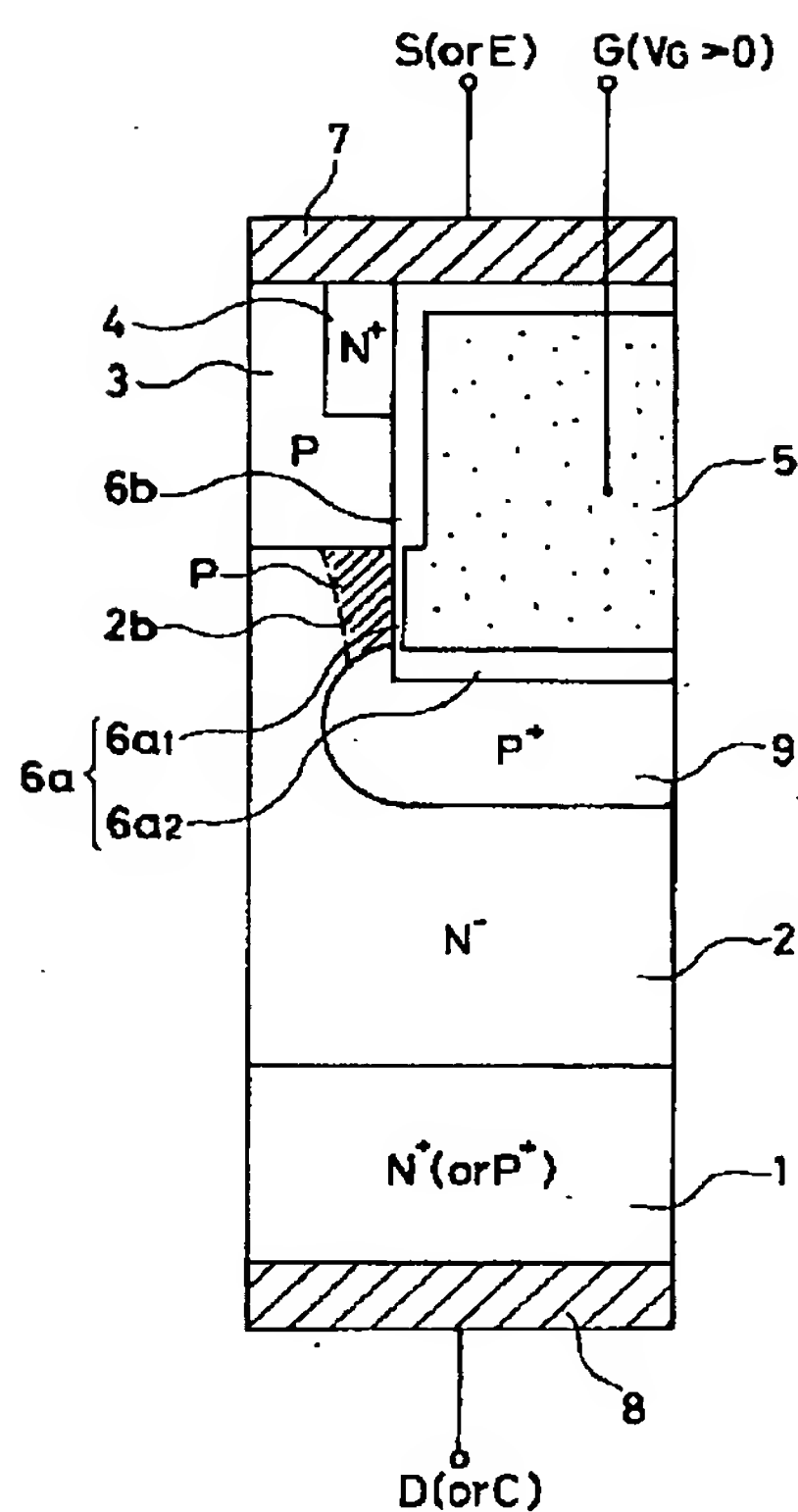


【図4】



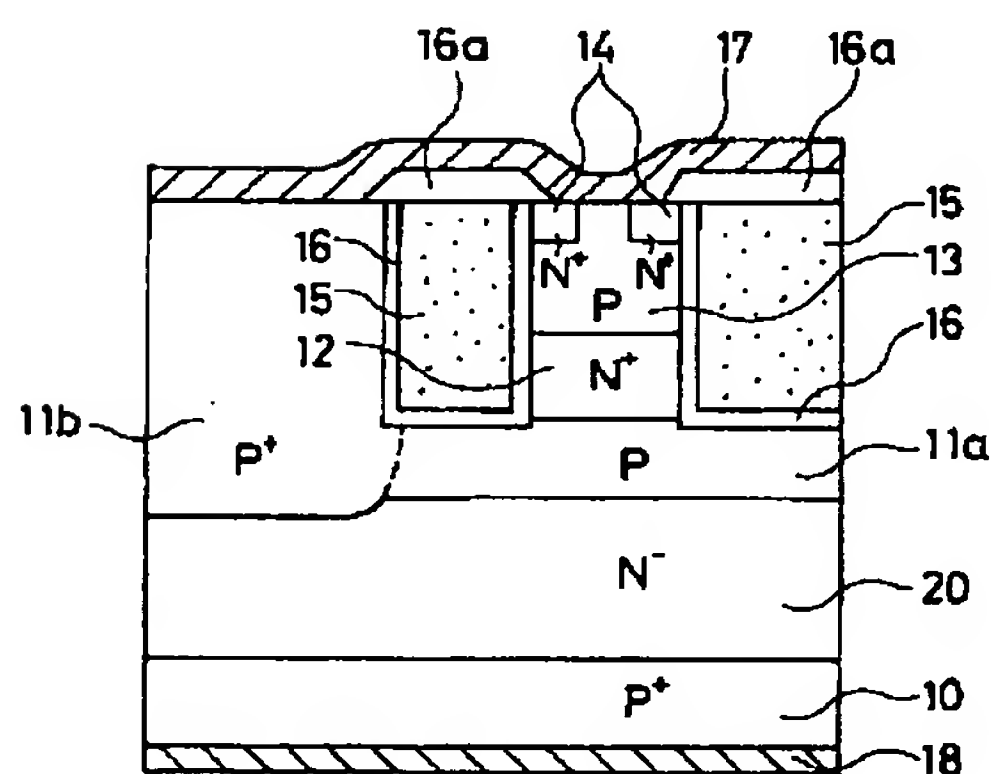
9: P<sup>+</sup>フローティング領域  
102: U-MOSFET

【図5】



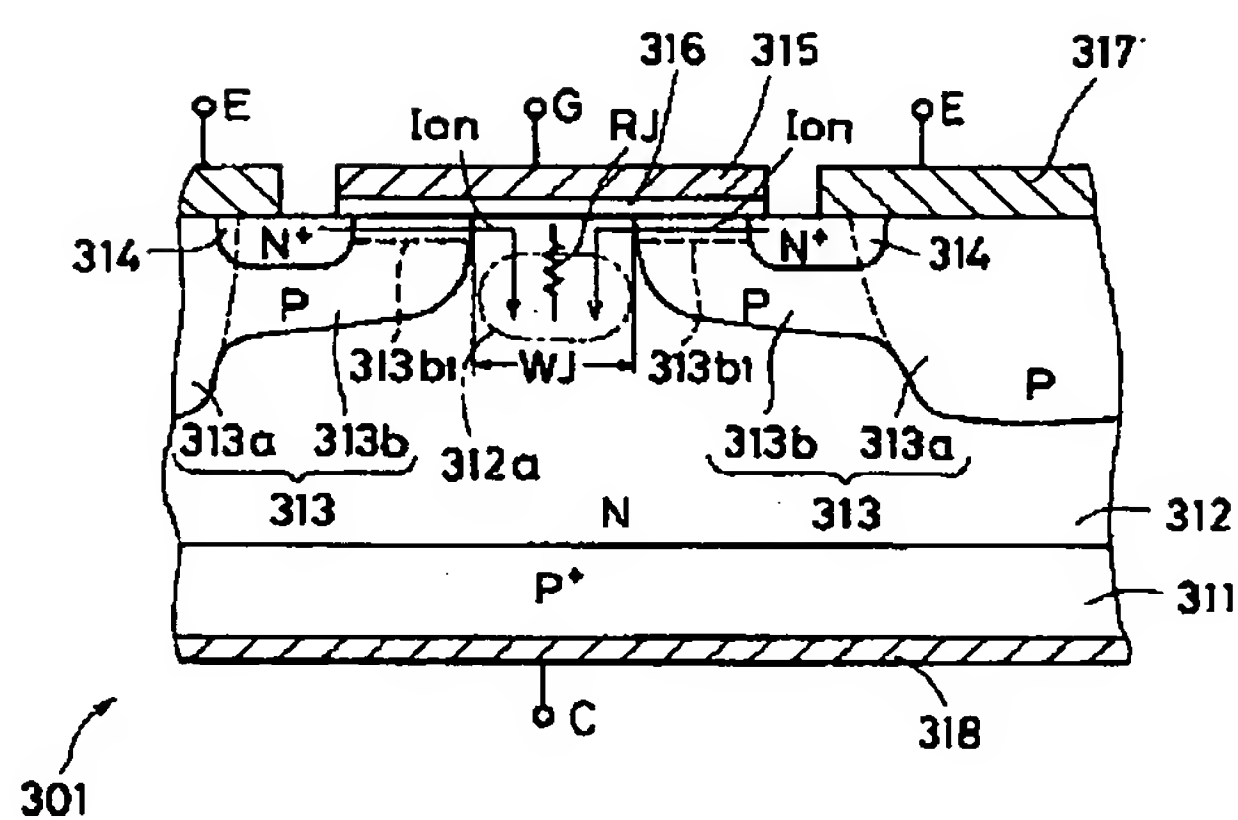
2b: P型反転層

【図16】



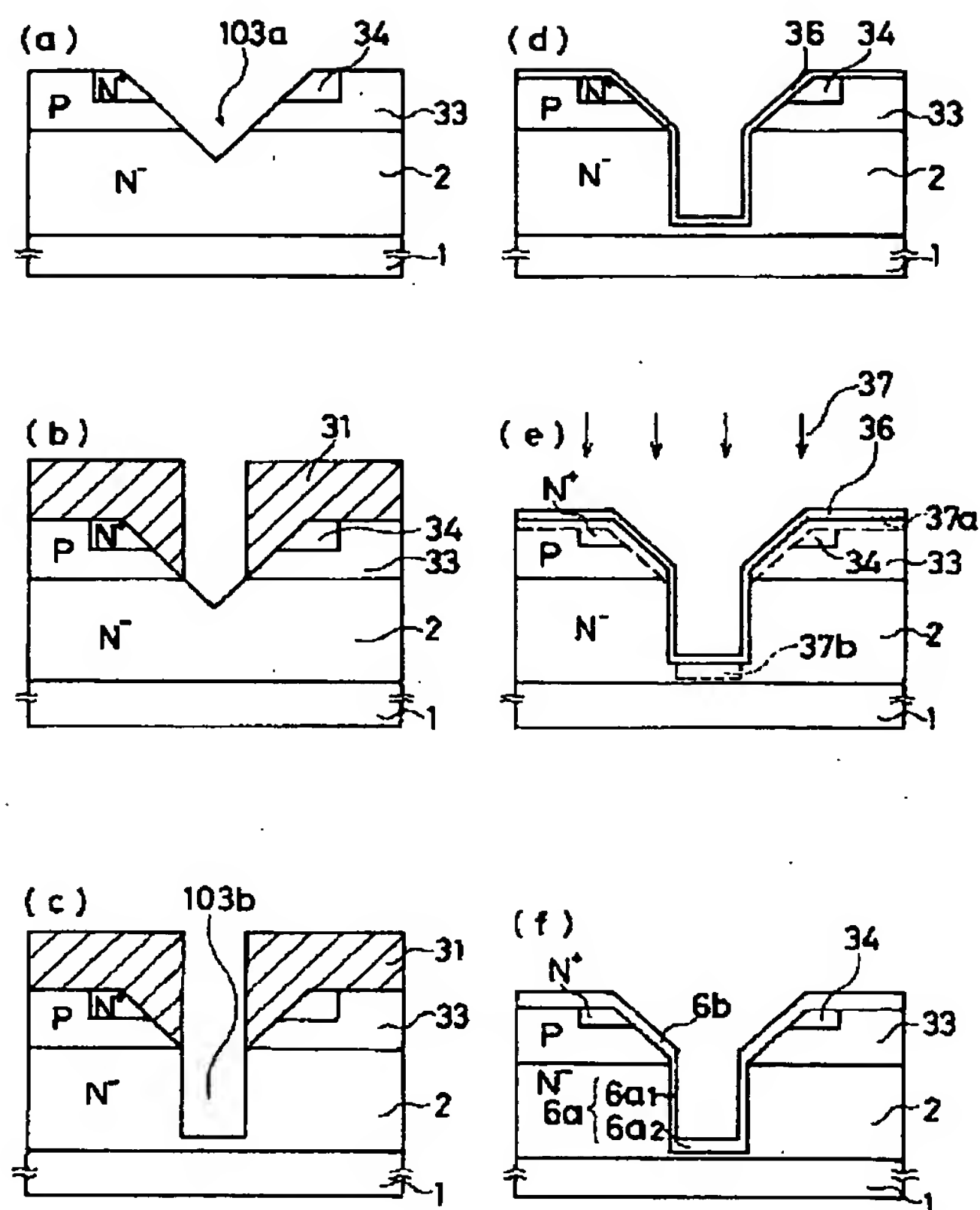
10: P<sup>+</sup>基板  
11a, 13: P拡散領域  
11b: P<sup>+</sup>拡散領域  
12, 14: N拡散領域  
15: ゲート電極  
16: 絶縁膜  
17: Al-Si 電極  
18: 金属電極  
20: Nエピタキシャル層  
202: サイリスタ

【図18】

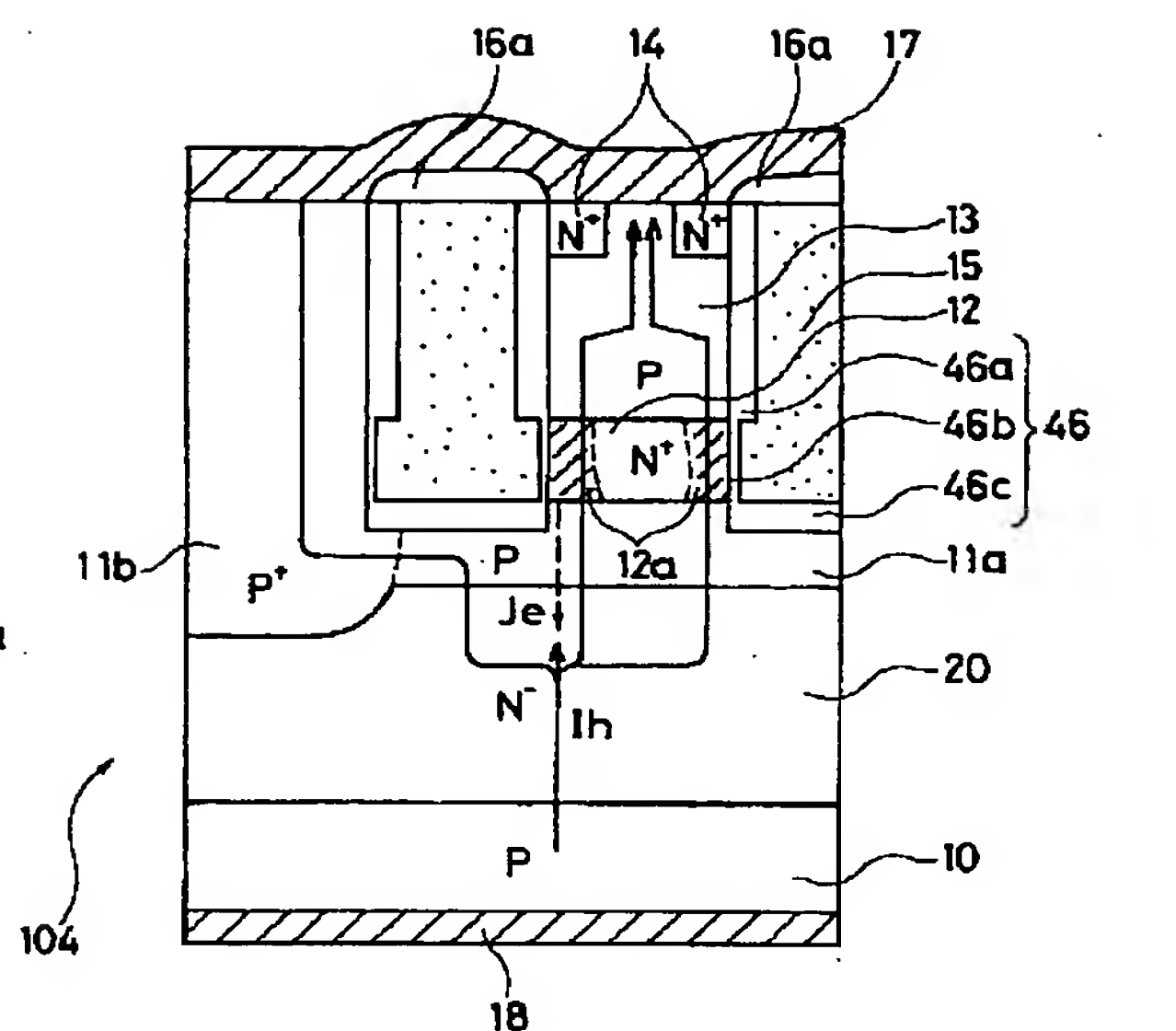




【図 8】



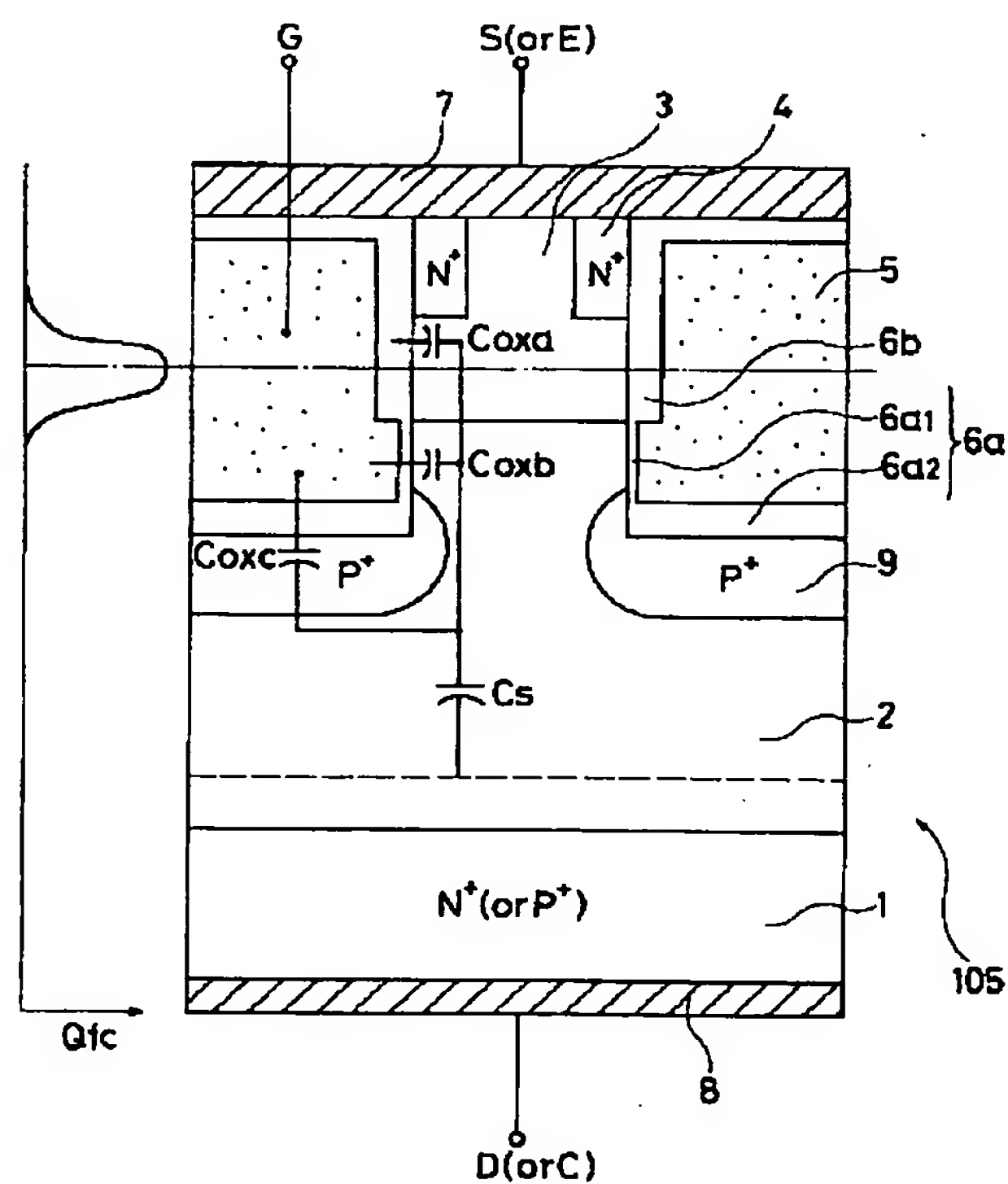
【图9】



10: P型半導体基板  
11a, 13: P型半導体領域  
11b: P<sup>+</sup>型半導体領域  
12, 14: N<sup>+</sup>型半導体領域  
12a: チャネル領域  
16a: 絶縁膜  
17: コレクタ電極

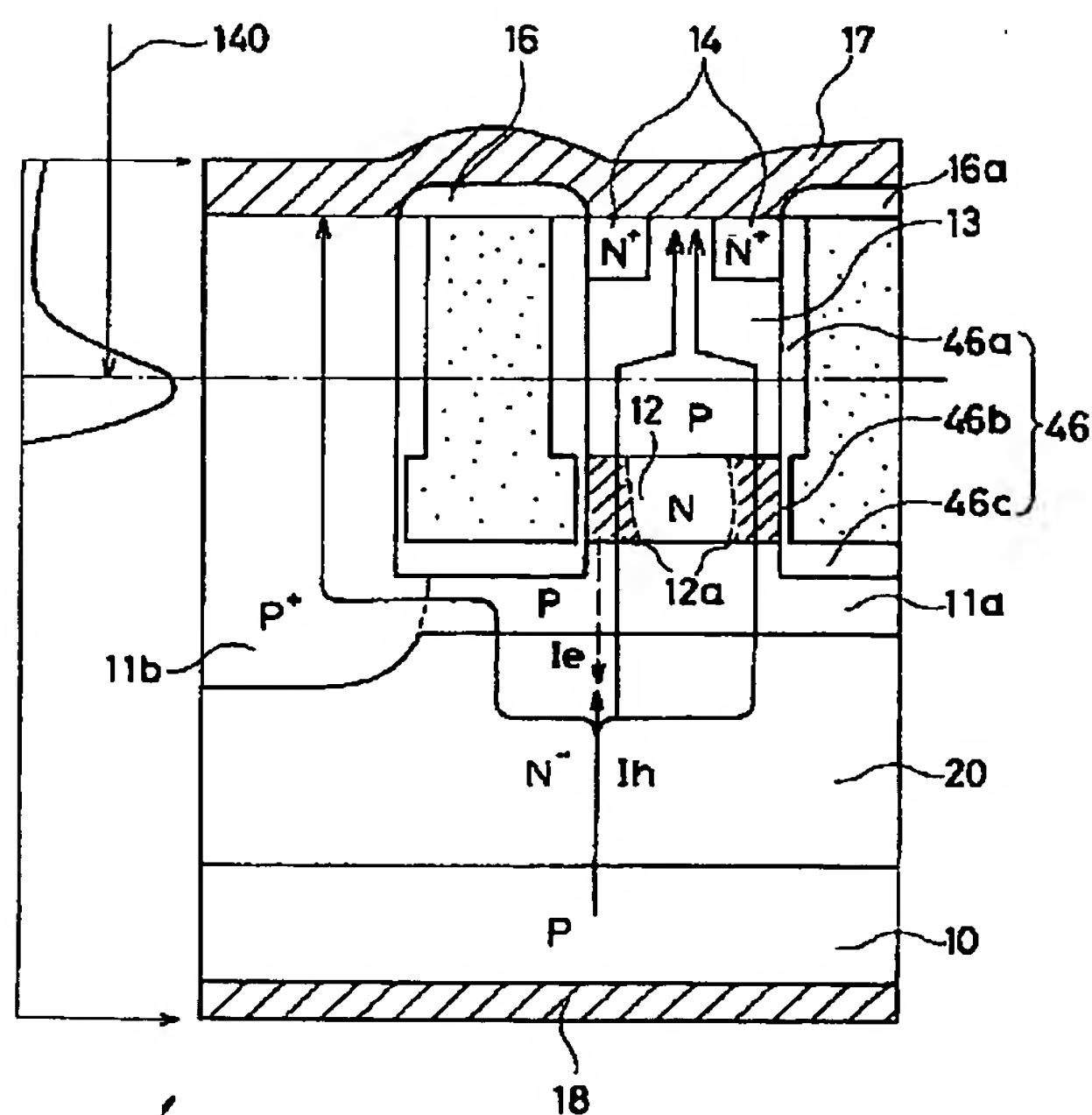
18: アノード電極  
46: ゲート絶縁膜  
46a: ゲート絶縁膜側壁厚膜部分  
46b: ゲート絶縁膜側壁導膜部分  
46c: ゲート絶縁膜底部部  
104: サイリスタ

【図 1 1】



Qfc: ゲート絶縁膜中での  
固定電荷の量

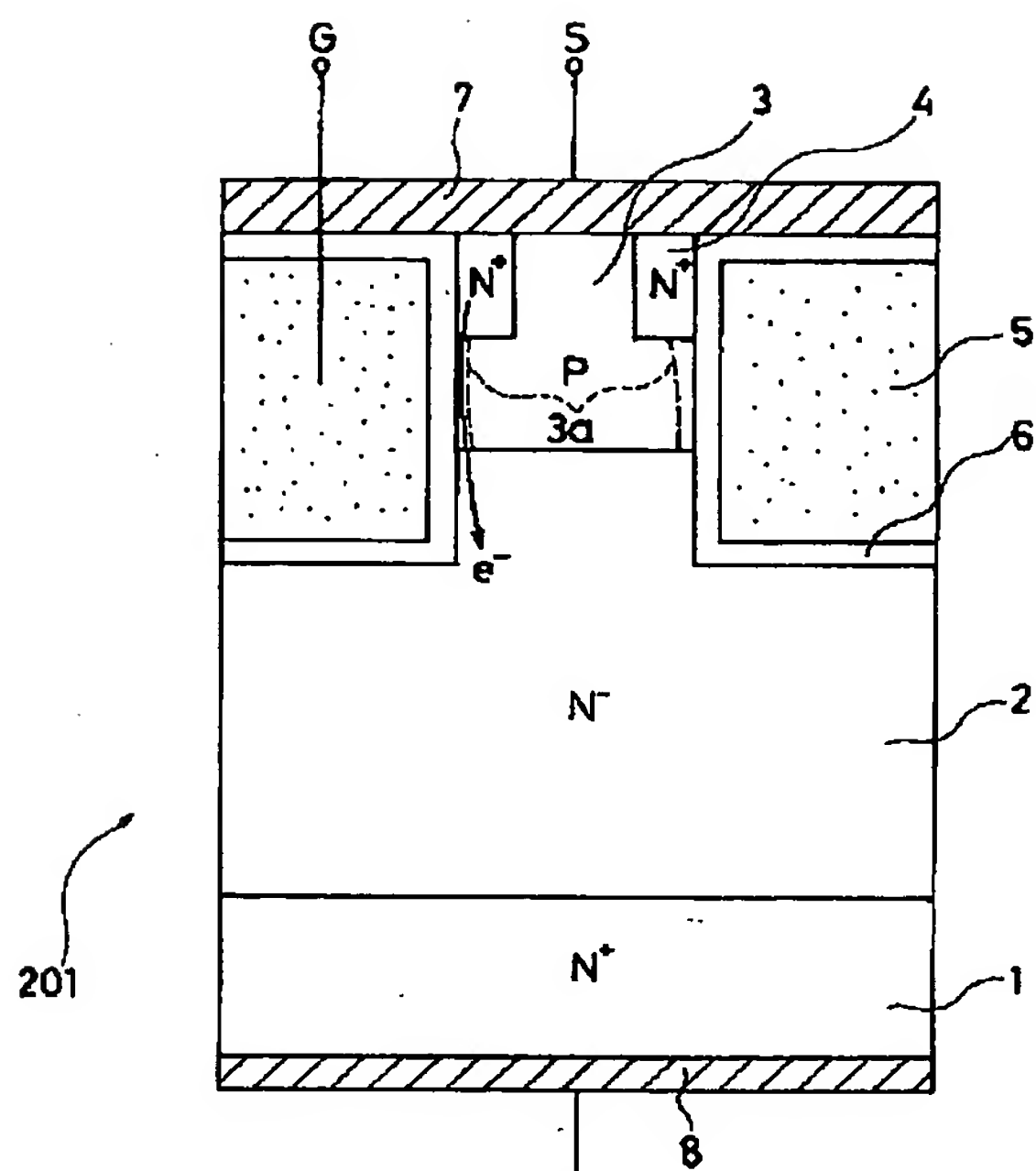
【図 12】



106

106:サイリスタ

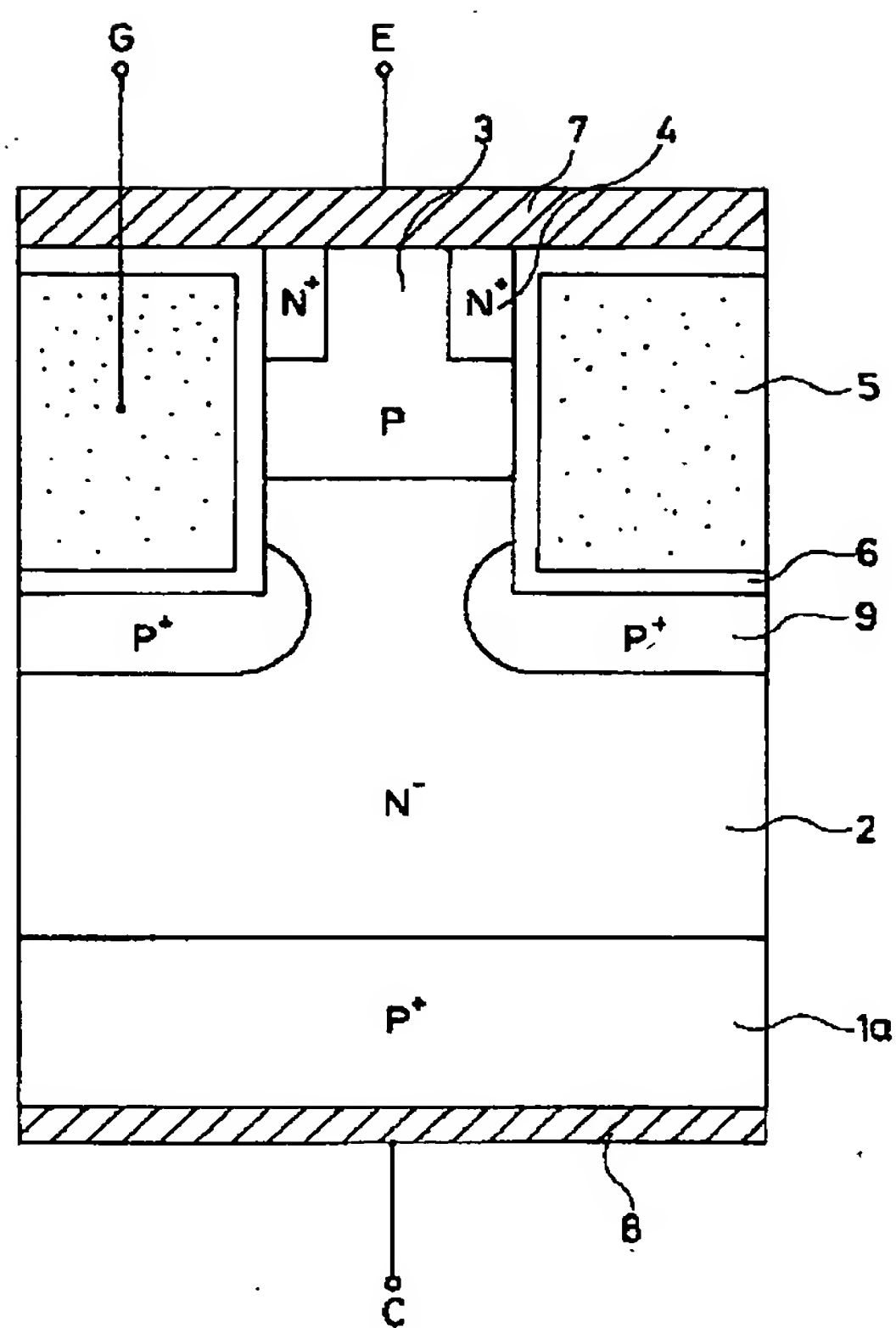
【図13】



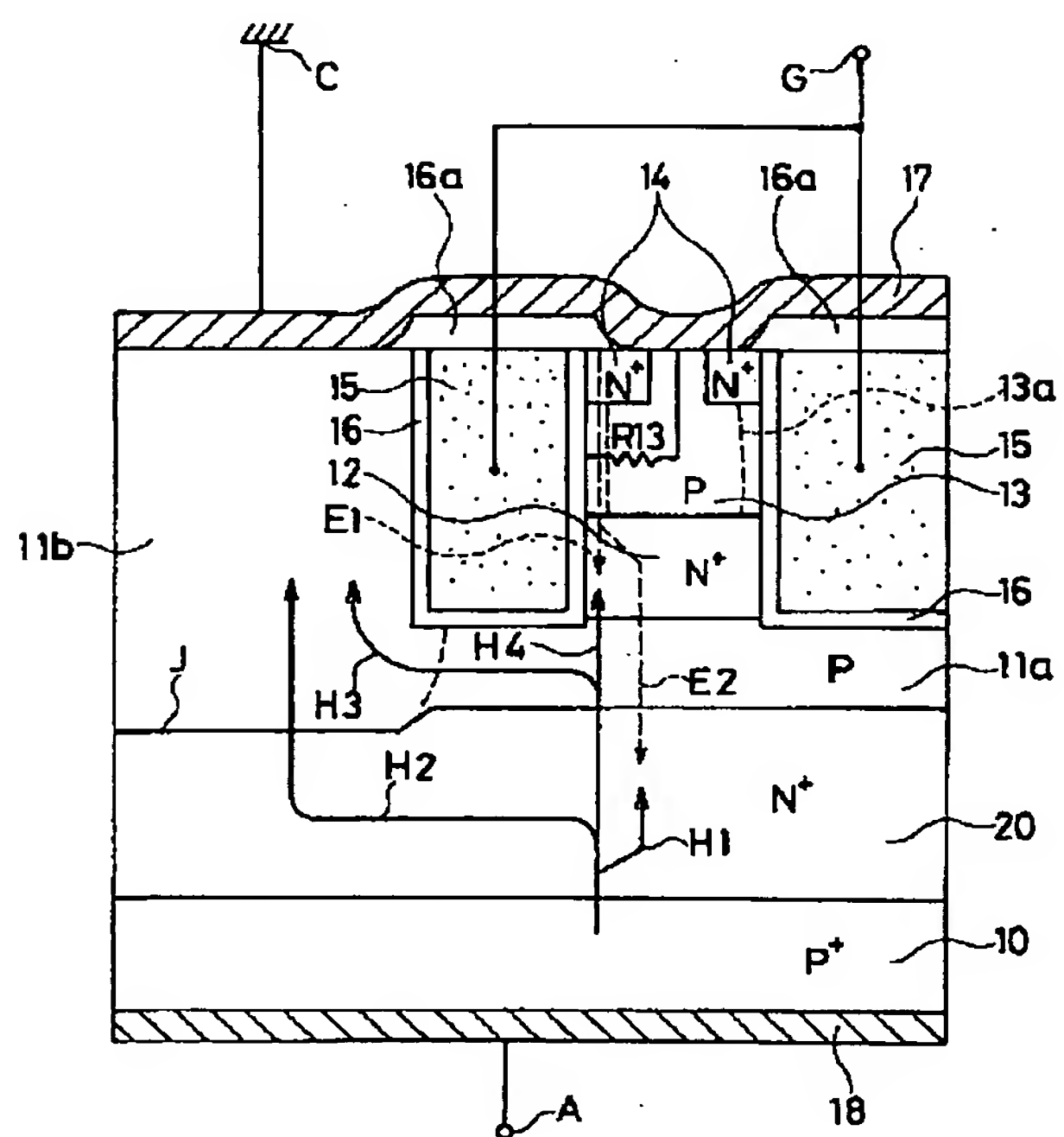
- 1: N<sup>+</sup>半導体基板
- 2: N<sup>-</sup>エピタキシャル層
- 3: P ウェル領域
- 3a: チャンネル領域
- 4: N<sup>+</sup>ソース領域
- 5: ゲート電極
- 6: ゲート絶縁膜

- 7: ソース電極
- 8: ドレイン電極
- 201: O-MOSFET
- D: ドレイン端子
- G: ゲート端子
- S: ソース端子

【図15】



【図17】



- A: アノード端子
- B: カソード端子
- C: ゲート端子